

Carlos Rodríguez Calvo



**GUÍA TÉCNICA PARA LA CUALIFICACIÓN
DE CIRCUITOS INTEGRADOS Y
COMPONENTES ELECTRÓNICOS PARA
EL SECTOR INDUSTRIAL
PROCESOS, ESTÁNDARES Y METODOLOGÍA**



**UNIVERSIDAD
DE BURGOS**

CARLOS RODRÍGUEZ CALVO

**GUÍA TÉCNICA PARA LA CUALIFICACIÓN DE
CIRCUITOS INTEGRADOS Y COMPONENTES
ELECTRÓNICOS PARA EL SECTOR INDUSTRIAL
PROCESOS, ESTÁNDARES Y METODOLOGÍA**



**UNIVERSIDAD
DE BURGOS**

2025

Imagen de cubierta creada con inteligencia artificial.

© EL AUTOR

© UNIVERSIDAD DE BURGOS

Edita: Servicio de Publicaciones e Imagen Institucional
UNIVERSIDAD DE BURGOS
Edificio de Administración y Servicios
C/ Don Juan de Austria, 1
09001 BURGOS - ESPAÑA

ISBN: 979-13-87585-08-2

DOI: <https://doi.org/10.36443/9791387585082>

Esta obra está bajo una licencia de Creative Commons
[Atribución-NoComercial-SinDerivadas 4.0 Internacional](https://creativecommons.org/licenses/by-nc-nd/4.0/)



CONTENIDO DEL LIBRO

SOBRE LOS AUTORES	9
EQUIPO DE REVISIÓN	9
PREFACIO	11
PRÓLOGO	13
1. CAPÍTULO 1: FASE DE FABRICACIÓN 1	19
1.1 AVANCE DEL CAPÍTULO	20
1.2 INTRODUCCIÓN AL PROCESO DE FABRICACIÓN DEL SILICIO MONOCRISTALINO Y MULTICRISTALINO	21
1.2.1 PROCESO DE FABRICACIÓN DEL SILICIO METALÚRGICO	22
1.2.2 MÉTODO DE DEPOSICIÓN QUÍMICA POR VAPOR.....	23
1.2.3 MÉTODO CZOCHRALSKY (CZ).....	24
1.2.4 MÉTODO DE ZONA FLOTANTE (FZ).....	24
1.2.5 MÉTODO KYROPOULOS	25
1.2.6 MÉTODO DE FUNDICIÓN.....	26
1.3 INTRODUCCIÓN AL PROCESO DE FABRICACIÓN DE OBLEAS CARBURO DE SILICIO (<i>SiC</i>) Y NITRURO DE ALUMINIO (<i>AlN</i>).....	26
1.4 INTRODUCCIÓN AL PROCESO DE FABRICACIÓN DE OBLEAS ARSENIURO DE GALIO (<i>GaAs</i>), FOSFURO DE GALIO (<i>GaP</i>) Y FOSFURO DE INDIO (<i>InP</i>).....	27
1.5 INTRODUCCIÓN AL PROCESO DE FABRICACIÓN DE OBLEAS NITRURO DE GALIO (<i>GaN</i>)	28
1.6 INTRODUCCIÓN AL PROCESO DE CORTE Y FINALIZACIÓN DE LOS LINGOTES.....	29
1.6.1 CORTE DE LOS LINGOTES EN OBLEAS.....	29
1.7 PROVEEDORES DE TECNOLOGÍA.....	31
2. CAPÍTULO 2: FASE DE DISEÑO	33
2.1 AVANCE DEL CAPÍTULO	33
2.2 RESUMEN GENERAL DE LA FASE DE DISEÑO DE UN CIRCUITO INTEGRADO	33
2.3 FOTOMÁSCARA DE UN CIRCUITO INTEGRADO.....	36
2.4 PROVEEDORES DE TECNOLOGÍA.....	38

3. CAPÍTULO 3: FASE DE FABRICACIÓN 2	41
3.1 AVANCE DEL CAPÍTULO	42
3.2 DESCRIPCIÓN BÁSICA DE UN PROCESO DE FABRICACIÓN DE UN CIRCUITO INTEGRADO	42
3.3 DESCRIPCIÓN DE LAS ESTRUCTURAS TECNOLÓGICAS MÁS COMUNES.....	44
3.3.1 CLASIFICACIÓN DE LA TECNOLOGÍA <i>BULK CMOS</i>	45
3.3.2 CLASIFICACIÓN DE LA TECNOLOGÍA <i>SOI (SILICON ON ISOLATOR)</i>	49
3.3.3 DESCRIPCIÓN DE LA TECNOLOGÍA <i>FinFET</i>	50
3.3.4 DESCRIPCIÓN DE LA TECNOLOGÍA <i>MEMS</i>	51
3.3.5 CLASIFICACIÓN SEGÚN SEAN COMPONENTES ELECTRÓNICOS INDIVIDUALES.....	52
3.4 FASE DE METALIZACIÓN DE LA OBLEA	55
3.5 DESCRIPCIÓN DE LA ESTRUCTURA DE UNA OBLEA	56
3.6 PROVEEDORES DE TECNOLOGÍA.....	58
4. CAPÍTULO 4: FASE DE CUALIFICACIÓN 1.....	61
4.1 AVANCE DEL CAPÍTULO	61
4.2 CONSIDERACIONES DE LOS CAMBIOS TECNOLÓGICOS EN EL PROCESO DE CUALIFICACIÓN DE 1.....	61
4.3 DESCRIPCIÓN DE LOS TEST ELECTRICOS DE CUALIFICACIÓN DE NIVEL 1	62
4.3.1 DESCRIPCIÓN GENERAL DE UN PROCESO DE CUALIFICACIÓN DE NIVEL 1 MEDIANTE UN VEHÍCULO DE CUALIFICACIÓN	63
4.4 CARACTERIZACIÓN DE LOS TEST <i>PCM (PROCESS CONTROL MONITORING)</i> DE LA FASE DE CALIDAD 1.....	64
4.5 ANÁLISIS DE CONSTRUCCIÓN.....	66
5. CAPÍTULO 5: FASE DE CALIDAD 1	67
5.1 AVANCE DEL CAPÍTULO	68
5.2 DESCRIPCIÓN DEL SISTEMA DE TEST <i>WAT O PCM</i>	69
5.2.1 ARQUITECTURA TEST USADOS EN LA FASE DE PRUEBA <i>PCM (PROCESS CONTROL MONITORING)</i>	69
5.3 DESCRIPCIÓN DEL SISTEMA DE TEST DEL PRODUCTO ELECTRÓNICO A NIVEL DE OBLEA.....	74
5.4 PROCEDIMIENTO GENERAL DEL DISEÑO DE LA ARQUITECTURA DE TEST.....	75

6. CAPÍTULO 6: FASE DE FABRICACIÓN 3	79
6.1 AVANCE DEL CAPÍTULO	79
6.2 CLASIFICACIÓN DE LAS TECNOLOGÍAS DE EMPAQUETADO DE UN CIRCUITO INTEGRADO	79
6.3 CLASIFICACIÓN DE LAS TECNOLOGÍAS DE EMPAQUETADO DE UN CIRCUITO INTEGRADO SEGÚN SU PROCESO DE EMPAQUETADO	80
6.3.1 PROCESOS DE EMPAQUETADO TRADICIONAL.....	81
6.3.2 PROCESO DE EMPAQUETADO AVANZADO.....	83
6.4 PROVEEDORES DE TECNOLOGÍA.....	86
7. CAPÍTULO 7: FASE DE CALIDAD 2	89
7.1 AVANCE DEL CAPÍTULO	89
7.2 DESCRIPCION DE LA ARQUITECTURA DE PRUEBAS CON EL <i>CHIP</i> EMPAQUETADO	89
7.3 PROCEDIMIENTO GENERAL DEL DISEÑO DE LA ARQUITECTURA DE TEST.....	91
7.4 PROVEEDORES DE TECNOLOGÍA.....	92
8. CAPÍTULO 8: FASE DE CUALIFICACIÓN 2.....	93
8.1 AVANCE DEL CAPÍTULO	95
8.2 FASE DE PLANIFICACIÓN: DISEÑO DEL PLAN DE CUALIFICACIÓN	95
8.2.1 CONSIDERACIONES DE LA FASE DE DISEÑO	95
8.2.2 CONSIDERACIONES DE LA FASE DE FABRICACIÓN 2.....	97
8.2.3 CONSIDERACIONES DE LA FASE DE CUALIFICACIÓN 1	98
8.2.4 ANÁLISIS DE RIESGOS.....	98
8.2.5 CONSIDERACIONES DE LA FASE DE CALIDAD 1	98
8.2.6 CONSIDERACIONES DE LA FASE DE FABRICACIÓN 3.....	98
8.2.7 CONSIDERACIONES DE LA FASE DE CALIDAD 2	99
8.3 FASE DE DISEÑO: CREACIÓN DE LA ARQUITECTURA DE CUALIFICACIÓN	99
8.3.1 ANÁLISIS DE COSTES Y ESTIMACIÓN DE LOS TIEMPOS DE EJECUCIÓN	100
8.3.2 SELECCIÓN DE LAS PRUEBAS DE CUALIFICACIÓN Y SU ALCANCE	100
8.3.3 SELECCIÓN DE INSTRUMENTACIÓN Y TECNOLOGÍA.....	104
8.3.4 DISEÑO DE LA ARQUITECTURA DEL HARDWARE DE CUALIFICACIÓN	106

8.3.5	SELECCIÓN DE LOCALIZACIONES Y EJECUCIÓN DE LOS TEST ELECTRICOS	115
8.4	FASE DE EJECUCIÓN: EJECUCIÓN DEL PROCESO DE CUALIFICACIÓN ...	116
8.4.1	PROCESO DE CUALIFICACIÓN DE UN PRODUCTO NUEVO	117
8.4.2	PROCESO DE CUALIFICACIÓN DE UN PRODUCTO YA CUALIFICADO	125
8.4.3	PROCESO DE MONITORIZACIÓN DE UN PRODUCTO CUALIFICADO	126
8.5	FASE DE ANÁLISIS: ANÁLISIS DE DATOS DEL PLAN DE CUALIFICACIÓN	126
8.5.1	ANÁLISIS DE LOS RESULTADOS DE LAS PRUEBAS ELÉCTRICAS DURANTE LAS FASES DE CALIDAD Y CUALIFICACIÓN	127
8.5.2	ANÁLISIS DE FALLOS (<i>FA</i>)	129
8.6	FASE DE ANÁLISIS: GENERACIÓN DEL INFORME DE CUALIFICACIÓN.....	133
8.6.1	CÁLCULO DEL PARÁMETRO <i>MTBF</i> Y <i>FIT</i> A PARTIR DE LOS DATOS DE CUALIFICACIÓN	133
	CONCLUSIONES GENERALES.....	139
	REFERENCIAS Y BIBLIOGRAFÍA	141
	APÉNDICE A.....	153
	APÉNDICE B.....	157
	APÉNDICE C.....	159
	APÉNDICE D.....	165
	APÉNDICE E.....	169
	APÉNDICE F	175

SOBRE LOS AUTORES

Carlos Rodríguez Calvo, Ph.D., en Ingeniería de Producción y Computación por la *Universidad de León*, España, combina una sólida trayectoria académica con más de 12 años de experiencia en la industria de semiconductores a nivel mundial. Su carrera profesional ha transcurrido en compañías de referencia, tales como *Rohm Powervation Semiconductors*, *Infineon*, *Analog Devices* y *AMS OSRAM*, donde ha desempeñado roles técnicos de alto nivel, desde *Senior hasta Senior Staff Engineer*.

A lo largo de estos años, el Dr. Rodríguez Calvo ha liderado proyectos complejos en validación, cualificación y producción masiva de sistemas, que hoy en día forman parte de productos esenciales en los sectores de tecnología de vanguardia. Sus desarrollos incluyen convertidores *DC-DC* de punto de carga, cruciales en aplicaciones de inteligencia artificial y servidores; controladores de motores para sistemas robóticos; *microchips* para mediciones biométricas en *smartwatches* y matrices avanzadas de *LEDs* para iluminación automotriz.

El impacto de su trabajo abarca sectores como el comercial, industrial y automovilístico, con productos que integran tecnología innovadora en el día a día de miles de usuarios alrededor del mundo.

EQUIPO DE REVISIÓN

Vanesa Fernández Cavero, revisora técnica de esta obra, es Doctora en Ingeniería Industrial por la *Universidad de Valladolid*, Ingeniera en Organización Industrial e Ingeniera Eléctrica por la *Universidad Pontificia Comillas*. Actualmente, es profesora en la *Universidad de Burgos*, y sus líneas de investigación se centran en la monitorización, detección y diagnóstico de fallos en máquinas eléctricas.

PREFACIO

OBJETIVO DEL LIBRO

Este libro, tiene como propósito ofrecer una base técnica y tecnológica a ingenieros, empresas, instituciones educativas, y *startups* del sector de semiconductores que desean lanzar un nuevo producto al mercado y necesitan orientación sobre los procesos a seguir, especialmente en la fase de cualificación, esencial dentro de la fabricación de circuitos integrados.

El proceso de cualificación es especialmente complejo debido a que involucra todas las fases del proceso de creación de un circuito integrado como son: La fase de diseño, la fase de fabricación, las fases de control de calidad. La sincronización de todas estas fases dentro del proceso de producción es crucial para poder cualificar un circuito integrado con éxito. Este libro presenta una descripción completa de los pasos necesarios para la creación de un circuito integrado desde la fase de fabricación de los lingotes hasta la finalización del proceso de cualificación, describiendo el impacto de cada una de las fases y su impacto en la fiabilidad del producto final.

Este libro también hace un especial hincapié en el análisis estadístico de los resultados de la fase cualificación y como estos datos pueden utilizarse de una manera eficaz para monitorizar la fiabilidad de un circuito integrado que ya está en el mercado.

REQUISITOS PREVIOS

Este libro, aunque proporciona una descripción global de los procesos productivos, requiere de un conocimiento básico sobre el sector de semiconductores, ingeniería electrónica y el funcionamiento básico de sus procesos productivos.

PRÓLOGO

HISTORIA

Los semiconductores cuentan con una larga historia, siendo primeramente apodado con este nombre por *Alessandro Volta* en 1782 aunque la gran explosión de los semiconductores se ha debido principalmente a su aplicación en circuitos integrados durante el *siglo XX*.

Los circuitos integrados, también conocidos como *microchips* o simplemente *chips*, son circuitos electrónicos creados por la conexión miniaturizada de transistores, diodos y otros componentes electrónicos. Estos componentes se imprimen en un sustrato de *silicio*, siendo el *silicio* uno de los materiales más comunes. Estos circuitos integrados se aplican principalmente en televisiones, ordenadores y cualquier dispositivo electrónico existente, proporcionándoles capacidad de procesado digital, almacenamiento de información y configuración adaptada a diferentes aplicaciones.

Uno de los primeros circuitos integrados registrados fue creado por el ingeniero *Wener Jacobi* durante su carrera profesional en *Siemens AG* con la patente “*Semiconductor Amplifier*” (Patente: [1]).

El camino hasta lo que actualmente se conoce como circuito integrado ha sufrido gran cantidad de mejoras y avances, desde el descubrimiento de la unión *p-n* de *Jean Hoerni* con su método de manufactura de transistores, pasando por el método de lógica convencional de transistores *TTL* (*Transistor – Transistor Logic*) creado *James L. Buie* con su método de acoplado de transistores (Patente: [2]), hasta lo que hoy que conoce por un circuito integrado.

Estos avances tecnológicos desde los primeros diseños de *Jean Hoerni*, han permitido aplicar estos dispositivos en multitud de entornos debidos a su pequeño tamaño y bajo coste. Alguna de las aplicaciones más comunes son los dispositivos de control electrónicos, dispositivos ópticos, dispositivos *MEMS* (Sistemas *Micro-mecánicos*), creación de sensores específicos de presión o temperatura entre otros. Esta flexibilidad tecnológica hace que se aborden nuevos retos tecnológicos que van desde la miniaturización e integración de diferentes componentes con funcionalidades diferentes hasta la creación de nuevas tecnologías.

DESCRIPCIÓN DE LA CUALIFICACIÓN TECNOLÓGICA

La cualificación es el proceso de estudio que tiene como objetivo determinar la fiabilidad de una tecnología o proceso para un mercado específico. En el caso de un circuito integrado el concepto de cualificación tecnológica está directamente relacionado con el concepto de *reliability* o proceso de fiabilidad.

El concepto de *reliability* o fiabilidad en castellano se define como la habilidad de un componente o producto para comportarse dentro de unas condiciones específicas sin aparecer fallos.

Este concepto, es aplicado en ingeniería eléctrica y especialmente en circuitos integrados mediante departamentos especializados, conocidos como *reliability departments* o departamentos de fiabilidad o cualificación.

Los departamentos de cualificación tienen la función de estudiar la calidad y fiabilidad del componente electrónico durante todo su ciclo de vida y estimar los fallos durante las diferentes fases de la misma. Este concepto de calidad tiene sus orígenes durante La *Segunda Guerra Mundial* donde los ingenieros tenían necesidades específicas en relación a la tecnología de la época como era: la mejorar de la calidad de los componentes, establecer estándares de calidad para suministradores y proveedores, y poder identificar las causas de errores más comunes.

Actualmente el sector electrónico de semiconductores controla estos procesos de calidad mediante organismos especializados, como es en el caso del sector industrial *JEDEC (Joint Electron Device Engineering Council)*.

La organización *JEDEC*, fue fundada en 1944, cuando las asociaciones americanas de radio y componentes electrónicos tenían la necesidad de estandarizar los números de serie de los tubos de vacío. Actualmente *JEDEC* es una de las referencias más sólidas a todo lo referente a procesos de calidad de circuitos integrados. *JEDEC* proporciona desde procesos de cualificación y marcado de componentes, hasta estándares de comunicación para memorias *RAM (Random Access Memories)*.

DESCRIPCIÓN DEL PROCESO DE FABRICACIÓN Y CUALIFICACIÓN TECNOLÓGICA DE UN CIRCUITO INTEGRADO

El proceso de cualificación tecnológica se divide en dos secciones. La sección de fabricación que se describe como el conjunto de fases para la creación física del circuito integrado con el mayor estándar de calidad y la sección de cualificación que se centra en probar la fiabilidad tecnológica y funcional del producto fabricado a lo largo de su ciclo de vida.

La *Figura 0.1* muestra el proceso básico de fabricación y cualificación de un circuito integrado. En este libro, el proceso básico se ha dividido en ocho fases principales:

- ✓ *Fase de diseño*: Esta fase comprende el diseño, simulación, síntesis, y generación de los archivos de fabricación del circuito o componente electrónico. Esta fase se realiza con herramientas especializadas como las proporcionadas por el proveedor de *software Cadence*. El elemento de salida de esta fase son los archivos de fabricación entre ellos la *fotomáscara* que se utilizara para la impresión del circuito electrónico sobre la base de la oblea de *silicio*.

- ✓ *Fase de fabricación 1:* Esta fase de fabricación, engloba la conversión de las materias primas, como por ejemplo el cuarzo en *silicio* mono-cristalino de alta pureza. La salida del proceso de esta fase son los lingotes y las obleas de silicio de alta pureza.
- ✓ *Fase de cualificación 1:* Esta fase del proceso, tiene la función de determinar la fiabilidad del proceso o nodo tecnológico usado para la fabricación del circuito integrado en cuestión. Esta fase está a cargo de la empresa encargada de la fase de impresión del circuito integrado, cuyo objetivo es garantizar la calidad de su proceso productivo.
- ✓ *Fase de fabricación 2:* Esta fase de fabricación, comprende la impresión de la circuitería electrónica en el la oblea mono-cristalina con todas sus capas. La salida de este proceso son obleas con *chips* de componentes electrónicos
- ✓ *Fase de calidad 1:* Esta fase de control de calidad, comprende dos sub-fases con dos departamentos responsables. Por un lado, la conocida fase de prueba *PCM (Process Control Monitoring)* que tiene la función de garantizar la calidad del proceso de impresión del *chip* de *silicio* en la oblea y por otro lado, el test a nivel de oblea del *chip* cuyo responsable es el departamento de test encargado del diseño del *chip* en cuestión, cuya función, es determinar la calidad del componente electrónico a nivel oblea justo después de su impresión.
- ✓ *Fase de fabricación 3:* esta fase comprende, todo el conjunto de sub-fases necesarias para el empaquetado del *microchip*.
- ✓ *Fase de calidad 2:* Esta fase de control de calidad, tiene la función de determinar la calidad del *chip* una vez empaquetado. El producto de salida de esta fase de calidad es un producto terminado con el mayor estándar de calidad posible dentro del proceso de fabricación. En un producto terminado, esta es la última puerta antes del envío del producto final a los clientes.
- ✓ *Fase de cualificación 2:* Esta fase del proceso de fabricación, tiene la función de determinar la calidad tecnológica del circuito integrado que se desea poner en producción masiva. Esta fase es un paso crucial antes de comenzar con la fabricación masiva de un producto electrónico.

Como se ha descrito a lo largo del prólogo, el proceso de fabricación de un circuito integrado es complejo, por lo que es importante entender la división de responsabilidades de cada una de las fases. Primeramente, se ha de entender que grupos de empresas u organizaciones suelen fabricar circuitos integrados y su clasificación. Los grupos principales de empresas que pueden encontrarse en el proceso de fabricación de un circuito integrado son las siguientes:

- ✓ *Empresa de diseño de circuitos integrados:* Son empresas cuya finalidad es el diseño de la circuitería electrónica y generación de los archivos de fabricación.
- ✓ *Empresas de fabricación de silicio de alta pureza:* Son empresas encargadas en convertir por ejemplo la *cuarcita* o *silice* en *silicio mono-cristalino* de alta pureza o la fabricación de otros tipos de lingotes. Son empresas especializadas en el tratamiento de materias primas.
- ✓ *Empresa de fabricación de semiconductores:* Son empresas especializadas en la fabricación física del circuito integrado. Cuando una empresa de diseño controla esta fase de fabricación, se las conoce como *fab company* como es el caso de *Texas Instruments* que controla esta fase de producción dentro de su proceso de fabricación. En cambio, otras empresas como *TSMC (Taiwan Semiconductors)* están especializadas solo en ofrecer servicios de fabricación no de diseño a empresas que no poseen esta capacidad, las cuales son conocidas como *fab les companies*.
- ✓ *Empresas de empaquetado de semiconductores:* Son empresas especializadas en la fase de empaquetado de circuitos integrados como son *ASE Group* o *UTAC Group*. Algunas multinacionales como es el caso de *Texas Instruments*, *Analog Devices* o *Infineon* controlan estas fases de producción dentro de su proceso productivo en sus propias instalaciones.

A continuación, (*Tabla 0.I*) se detalla la división de responsabilidades dependiendo de la fase del proceso de fabricación.

Tabla 0.I: División de responsabilidades según las fases de fabricación de un circuito integrado.

Fase	Responsable de la fase
Fase de diseño	Empresa a cargo del diseño del circuito integrado y generación de los archivos de fabricación
Fase de fabricación 1	Empresas especializadas en la de fabricación de lingotes de <i>silicio</i> de alta pureza
Fase de cualificación 1	Empresas especializadas en el la fabricación de semiconductores
Fase de fabricación 2	Empresas especializadas en el la fabricación de semiconductores
Fase de calidad 1 (Fase de prueba <i>PCM</i>)	Empresas especializadas en el la fabricación de semiconductores
Fase de calidad 1 (Fase de prueba del circuito integrado a nivel de oblea)	Empresa a cargo del diseño del circuito integrado y generación de los archivos de fabricación
Fase de fabricación 3	Empresas especializadas en el la fabricación de semiconductores Empresas especializadas en el empaquetado de circuitos integrados
Fase de calidad 2	Empresa a cargo del diseño del circuito integrado y generación de los archivos de fabricación
Fase de cualificación 2	Empresa a cargo del diseño del circuito integrado y generación de los archivos de fabricación

Se ha de aclarar que la responsabilidad de las empresas de diseño dentro de *la Fase de Calidad 1*, *la Fase de Calidad 2* o *la Fase de Cualificación 2*, abarca solo la creación de la arquitectura de calidad, como se detallará en los *Capítulos 5 y 7*. Esta arquitectura de calidad, dependiendo si es *la fase de calidad 1* o *la fase de calidad 2* puede ser implementada dentro de las instalaciones de las empresas de empaquetado o fabricación de circuitos integrados.

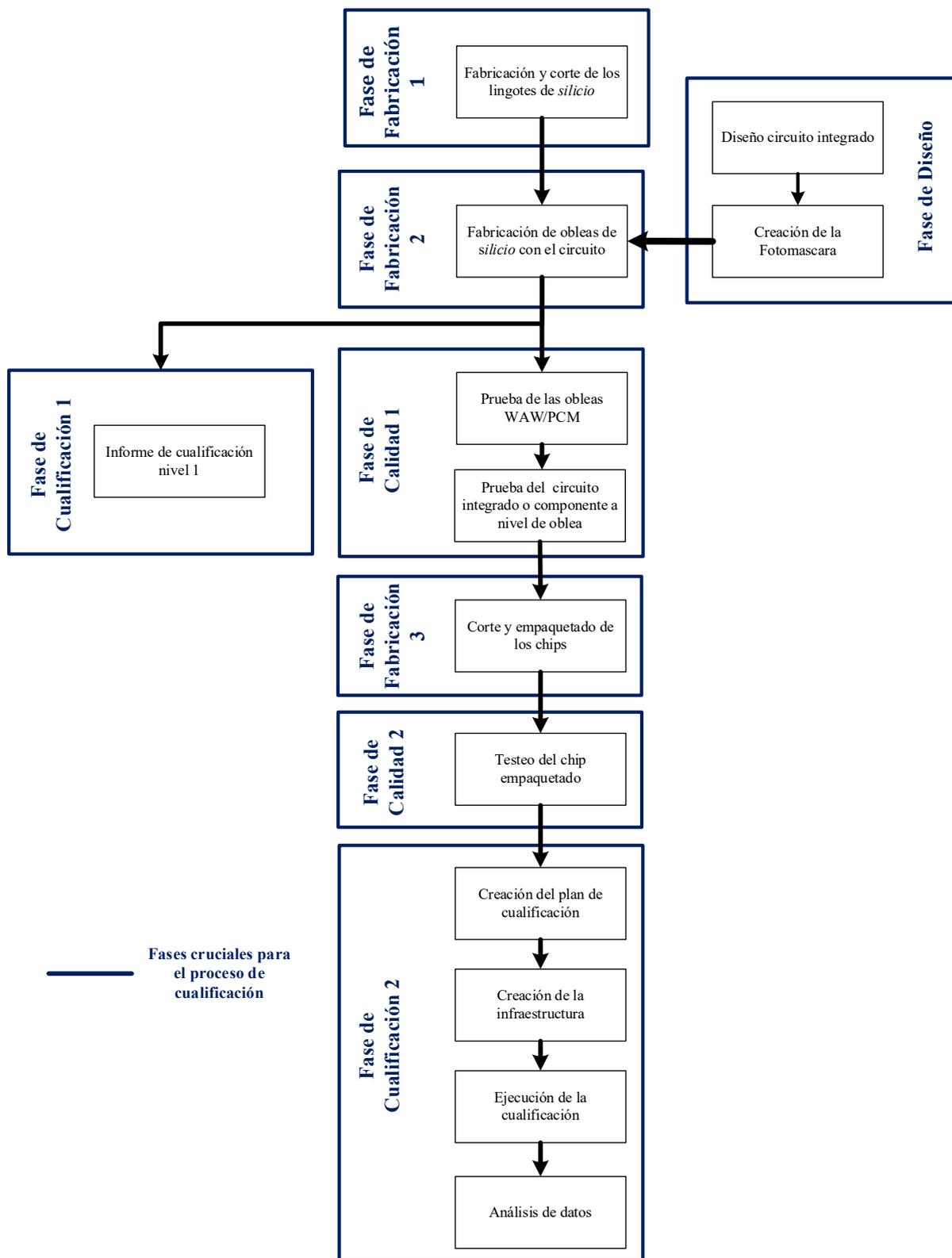


Figura 0.I: Proceso de creación de un circuito integrado y organización del contenido del libro.

CAPÍTULO 1

1. FASE DE FABRICACIÓN 1: FABRICACIÓN DE LOS LINGOTES MONOCRISTALINOS

La fabricación de los lingotes, es un paso muy importante ya que la fabricación de circuitos integrados requiere alcanzar altos estándares de calidad y pureza. El *silicio* es el elemento químico más abundante en *La Tierra* después del *Oxígeno*. Esta gran abundancia hace que sea accesible y barato.

Los estándares de calidad, por ejemplo, del silicio mono-cristalino usado en la fabricación de circuitos integrados han de alcanzar límites de impurezas inferiores a 1 parte por cada 10^{10} átomos.

Los procesos de fabricación más conocidos se pueden clasificar en cinco grupos, dependiendo del tipo de material semiconductor usado. A continuación se detallan algunos de ellos:

- ✓ Proceso de fabricación de *silicio* mono-cristalino
- ✓ Proceso de fabricación de *arseniuro de galio*, *fosfuro de galio* y *fosfuro de indio*.
- ✓ Proceso de fabricación del *nitruro de aluminio*.
- ✓ Proceso de fabricación del *nitruro de galio*.
- ✓ Proceso de fabricación de *carburo de silicio*.

Los procesos de fabricación usados en la industria de semiconductores están sujetos al parámetro *bandgap* o brecha energética. Este parámetro en semiconductores, determina la cantidad mínima de energía para provocar el movimiento de un electrón. Esta energía se mide en *electrón voltios* (*eV*). Dentro del tipo de proceso de fabricación existen dos tipos materiales semiconductores:

- *Semiconductores de brecha energética pequeña*: Dentro de este grupo están: *germanio* (*Ge*), *silicio* (*Si*), *arseniuro de galio* (*GaAs*) y *fosfuro de indio* (*InP*), entre otros. Generalmente la energía requerida en este grupo está entre 1 a 2 *eV*.
- *Semiconductores de brecha energética grande*: Dentro de este grupo están: *carburo de silicio* (*SiC*) y el *nitruro de galio* (*GaN*). Requiere más de 2 *eV*.

Cada uno de estos materiales, requiere un proceso de crecimiento cristalino diferente, esto permite fabricar estructuras y componentes electrónicos que proporcionen rangos de aplicación más amplios.

El siguiente diagrama, muestra las aplicaciones tecnológicas de los procesos de fabricación tratados en este capítulo dependiendo del material semiconductor:

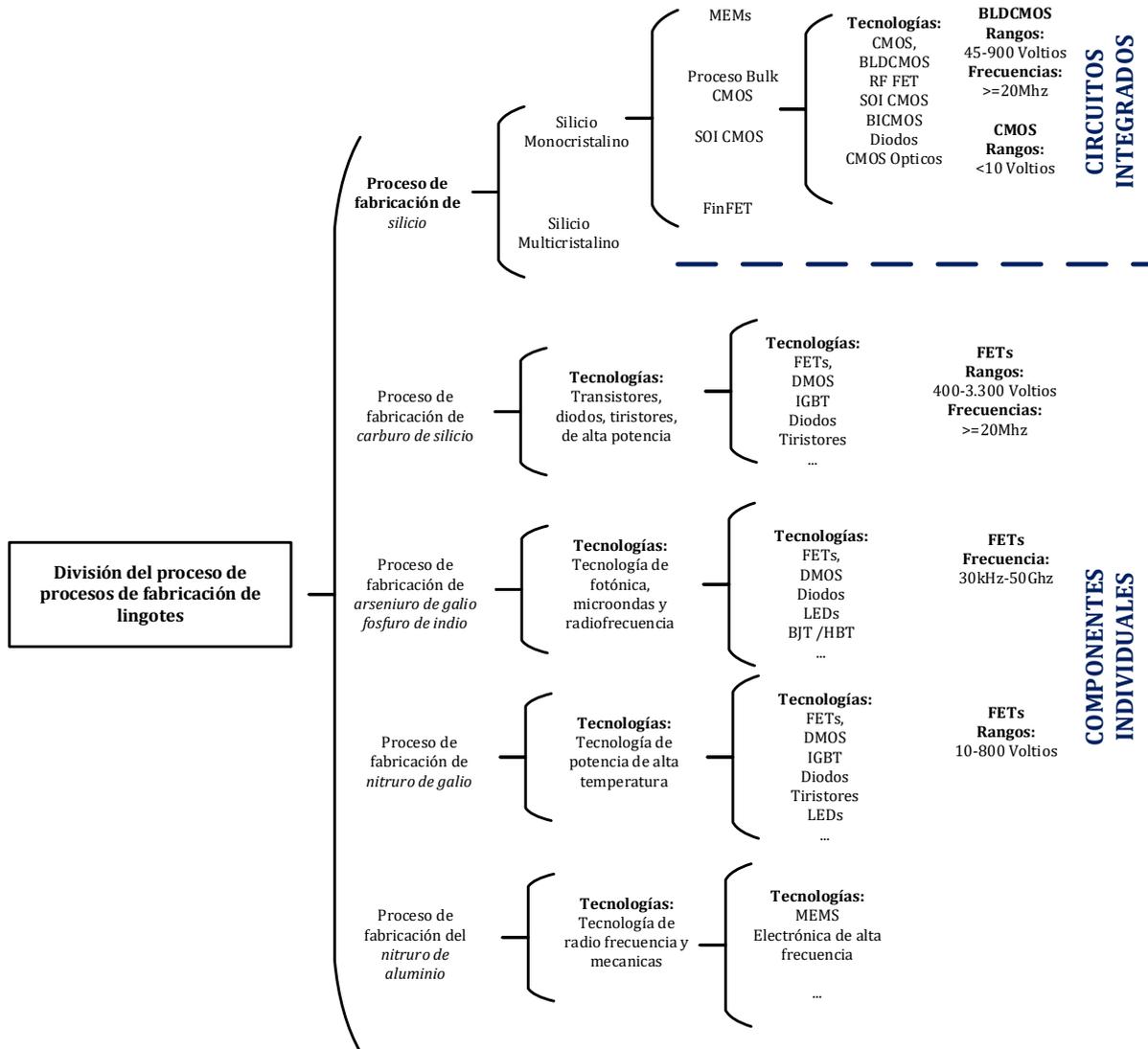


Figura 1.I: Visión general de la aplicación de los diferentes procesos de fabricación [3].

1.1 AVANCE DEL CAPÍTULO

En este capítulo, se abordan los siguientes puntos:

- ✓ Introducción al proceso básico de fabricación de *silicio* mono-cristalino y poli-cristalino.
- ✓ Introducción al proceso de fabricación de lingotes de *GaAs*, *GaP* y *InP*.
- ✓ Introducción al proceso de fabricación de lingotes de *SiC* y *AlN*.
- ✓ Introducción al proceso de fabricación de lingotes de *GaN*.
- ✓ Introducción al proceso de corte de los lingotes.
- ✓ Proveedores de tecnología.

1.2 INTRODUCCIÓN AL PROCESO DE FABRICACIÓN DEL SILICIO MONOCRISTALINO Y MULTICRISTALINO

Existen dos tipos de *silicio* para obleas, *silicio mono-cristalino* y *silicio poli-cristalino*. La diferencia entre ambos se encuentra en el proceso de fabricación.

El proceso de fabricación comienza con *silicio* de menor calidad, el cual es conocido como *silicio metalúrgico*. El *silicio* metalúrgico se produce a partir del *cuarzo*, *cuarcita* o *silice*, una de las materias primas más abundantes en *La Tierra*. La *figura 1.II*, muestra el proceso general para la obtención de *silicio* mono-cristalino a partir de estas materias primas.

La *cuarcita* o *silice* está compuesto de *óxido de silicio* (SiO_2) por ello primer objetivo en el proceso de fabricación, está en la eliminación del *oxígeno* para obtener un *Silicio* de mejor calidad que *la cuarcita*. Este proceso se realiza en un proceso conocido como “*submerge-arc-furnace*” donde *la Cuarcita* es calentado hasta temperaturas cercanas a los 1900 grados y mezclado el *silicio* derretido con carbón. El resultado del este proceso se conoce como *silicio metalúrgico*. El *silicio metalúrgico* tiene una calidad entre el 98 y 99 %.

El siguiente paso en el proceso de fabricación del *silicio* mono-cristalino es la obtención del poli-silicio. Para ello, el *silicio Metalúrgico* obtenido en la fase anterior es introducido en un reactor, donde es mezclado con *HCl* (*ácido clorhídrico*). El gas resultado del proceso es depositado en lingotes mediante un proceso conocido como *Deposición química con vapor*. A partir de este proceso se puede obtener un *silicio* con una calidad del 99.9999%.

La siguiente fase es la obtención de bloques de *silicio mono-cristalino*. Esto se suele realizar mediante los procesos conocidos como *Método Zona Flotante* y el *Método Czochralski*. Estos métodos se detallan a continuación.

El proceso de fabricación del *silicio multi-cristalino* por otro lado, se realiza mediante la fundición de *silicio poli-cristalino*. Se ha de mencionar que, el nivel de pureza del *silicio multi-cristalino* es menor que la del *silicio mono-cristalino*.

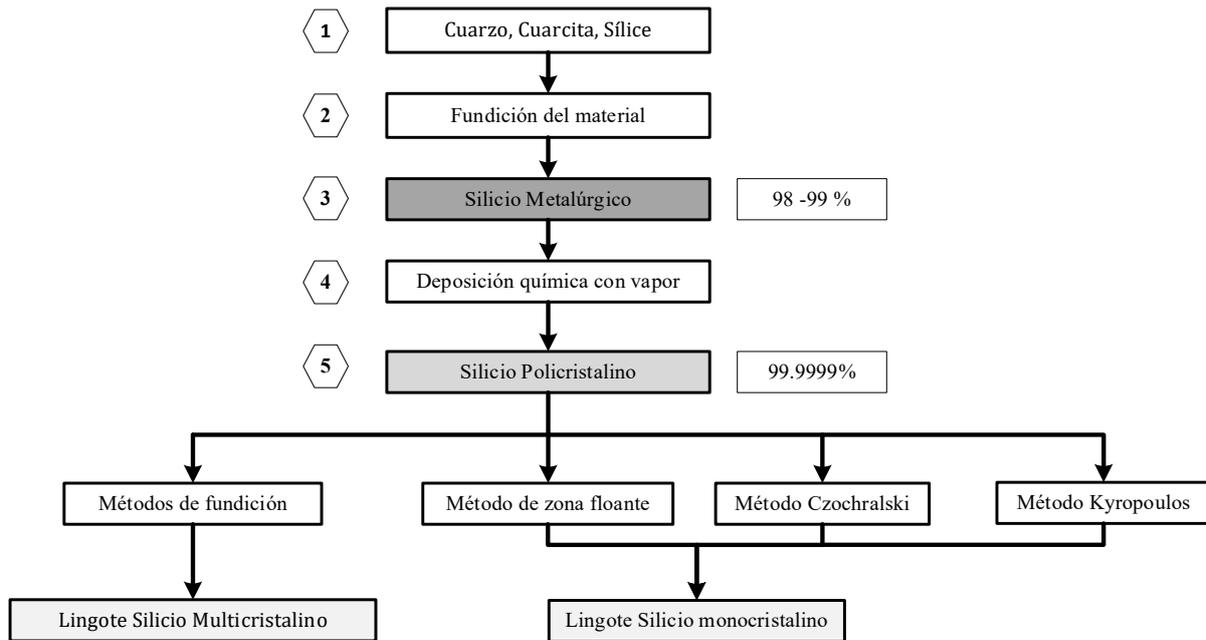


Figura 1.II: Proceso genérico de fabricación de los lingotes de *silicio* mono-cristalino y poli-cristalino [4]

1.2.1 PROCESO DE FABRICACIÓN DEL SILICIO METALÚRGICO

Esta fase de producción se usa el *óxido de silicio* (SiO_2) como materia prima. El objetivo principal de esta fase es la eliminación del *Oxígeno* del cuarzo para producir *silicio*. Para poder llevar a cabo esta fase la *Cuarzita* se calienta mezclada con *carbón* hasta los 1900 grados centígrados en un crisol mediante el uso de electrodos de gráfico, esto permite extraer el oxígeno como *dióxido de carbono* (CO_2). El producto de salida de esta fase es *silicio metalúrgico* fundido, el cual se recoge del crisol en su fase líquida. Este proceso de fabricación es muy contaminante además de requerir un consumo de energía muy elevado. Por esta razón, los procesos de fabricación del *silicio* metalúrgico más modernos tienen sistemas de captura de CO_2 .

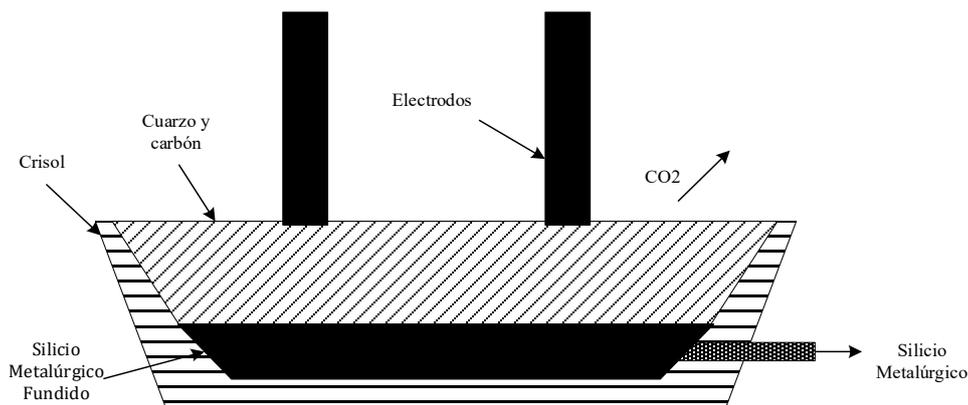


Figura 1.III: Proceso de fabricación del *silicio* metalúrgico [5]

1.2.2 MÉTODO DE DEPOSICIÓN QUÍMICA POR VAPOR

La deposición química por vapor (*CVD*) *Chemical Vapor Deposition*, es un proceso de químico en el que los componentes involucrados reaccionan en fase gaseosa para formar un depósito sólido. Este proceso, combina reacciones térmicas, químicas y de dinámica de fluidos.

Actualmente la tecnológica de producción de *silicio poli-cristalino*, está copada por el proceso de conocido como *Proceso de Siemens*. Ese proceso fue desarrollado por *Siemens* en los años 50 mientras buscaba producir *silicio* ultra puro para la industria de semiconductores.

El proceso *Siemens* de producción de *silicio poli-cristalino*, se realiza en un reactor especializado con el objetivo de reducir del 0.5 al 1.5% de las impurezas provenientes de la fase de producción de *silicio* metalúrgico. A continuación, se muestra de manera gráfica (*Figura 1.IV*) la estructura de un reactor *Siemens*.

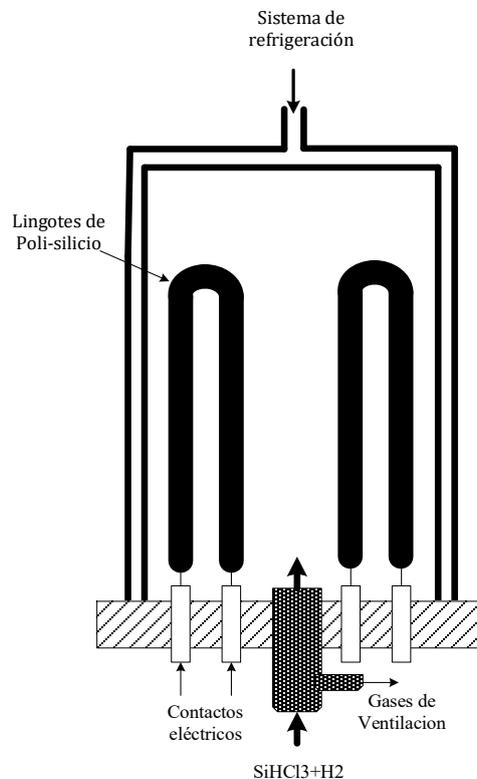


Figura 1.IV: Esquema de un reactor *Siemens* para la fabricación de *silicio* poli-cristalino [5].

De manera resumida, el modo de funcionamiento reactor *Siemens* se basa en la el refinamiento del *silicio* metalúrgico mediante una primera fase donde el *silicio* de mezcla con *ácido clorhídrico* a temperaturas de entorno 300 grados centígrados para formar *tricloroetileno* el cual reducido con *hidrogeno* a temperaturas de entorno 900 grados.

El *tricloroetileno* e *hidrogeno*, es introducido en el reactor *Siemens*, donde se deposita en las barras de contactos eléctricos para formar lingotes *silicio* policristalino de una alta pureza. El proceso de deposición por vapor para la generación de *silicio* policristalino puede llegar a tomar hasta una semana.

1.2.3 MÉTODO CZOCHRALSKY (CZ)

El método *Czochralsky*, está especializado en la creación de *silicio mono-cristalino* a partir de *silicio policristalino*. Este proceso, fue creado por el científico polaco *Jan Czochralsky* en 1916. El método *Czochralsky* es uno de los más utilizados no solo en el *silicio*, en el capítulo 5.3, se resumen algunos tipos de obleas utilizan el método de crecimiento *Czochralsky*.

Este proceso basado en el *método Czochralsky* se divide en tres fases:

- *Fase 1*: El *silicio* poli-cristalino es calentado hasta que pasa a estado líquido en crisol.
- *Fase 2*: Mediante el uso una pequeña pieza de cristal conocida como *semilla de Silicio* es sumergida en la superficie de la lava de *silicio*.
- *Fase 3*: La semilla es extraída de lava de *silicio* mediante un movimiento rotacional de extracción. Factores como velocidad rotacional y sentido de giro es crucial en esta fase, para la correcta fabricación del lingote cilíndrico de *silicio monocristalino*.

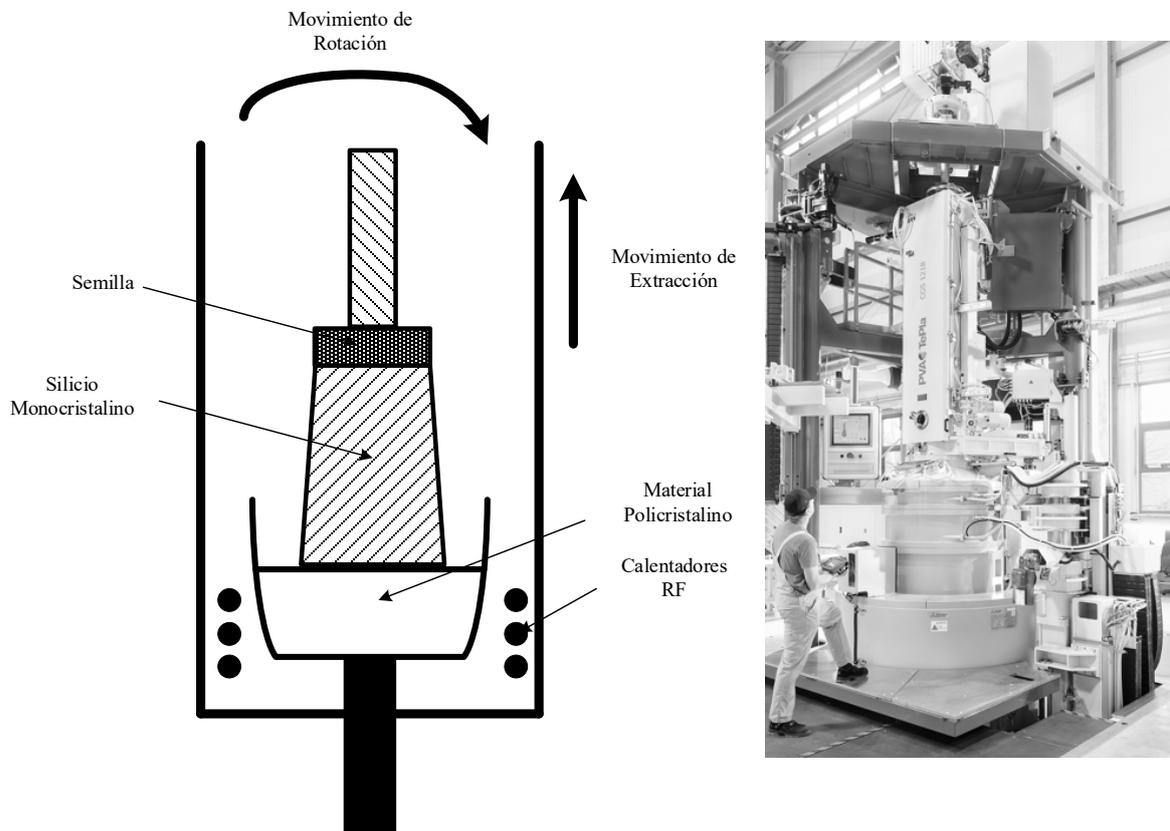


Figura 1.V: Esquema del método *Czochralsky* para la fabricación de *silicio mono-cristalino* [5]. Imagen con [6]copyright cedida por *PVA Crystal Growing Systems GmbH*.

1.2.4 MÉTODO DE ZONA FLOTANTE (FZ)

El método de zona flotante, está especializado en la creación de *silicio mono-cristalino* a partir de *silicio policristalino* al igual que el *método Czochralsky*. Este método fue creado por el científico *William Gardner Pfann* en 1955.

En el proceso de fabricación mediante zona flotante, el lingote de *silicio poli-cristalino* es suspendido en un reactor que contiene *Argón*. Mediante el uso de un inductor de radiofrecuencia se crea una zona de fundición a lo largo del lingote. Durante esta fase, el inductor de radiofrecuencia se mueve de la parte inferior del lingote a la superior almacenando las impurezas en la parte superior del lingote.

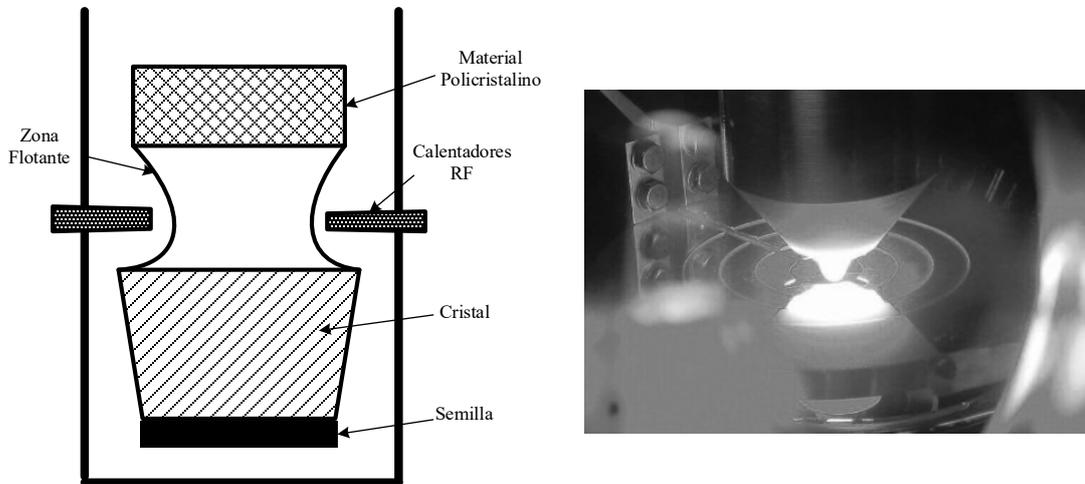


Figura 1.VI: Descripción del proceso fabricación de *silicio mono-cristalino* mediante zona flotante [5]. Imagen con *copyright* cedida por *PVA Crystal Growing Systems GmbH*.

1.2.5 MÉTODO KYROPOULOS

El método de cristalización *Kyropoulos*, es un proceso de cristalización como el método de zona flotante o el método *Czochralsky*. Mediante el método de crecimiento *Kyropoulos* se realiza el crecimiento cristalino con un control más preciso de la temperatura usando una técnica similar al método *Czochralsky* con la diferencia que en método *Kyropoulos* no existe moviente de extracción. Este método, permite conseguir estructuras de *silicio mono-cristalinos* más grandes que los métodos anteriores.

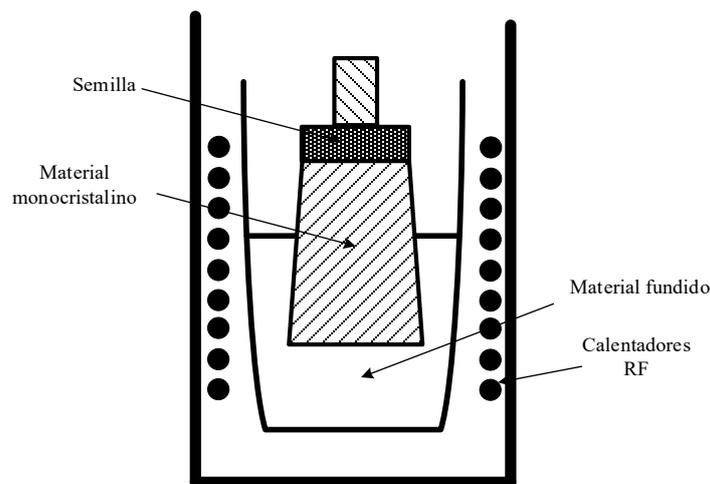


Figura 1.VII: Descripción básica del método *Kyropoulos* [7]:

1.2.6 MÉTODO DE FUNDICIÓN

Los métodos de fundición, están especializados en la fabricación de *silicio multi-cristalino*. Este es un proceso considerado como más simple y barato que los métodos de fabricación de *silicio mono-cristalino*.

Durante esta fase, las piezas de poli-*silicio* o *silicio poli-cristalino* se introducen en un crisol con *nitrato de silicio* donde se incrementa su temperatura hasta que la materia en el crisol pasa a estado líquido. Posteriormente el *silicio* fundido entra en una fase lenta de enfriamiento para crear bloques compactos. Este tipo de *silicio* se utiliza principalmente en la fabricación de células solares.

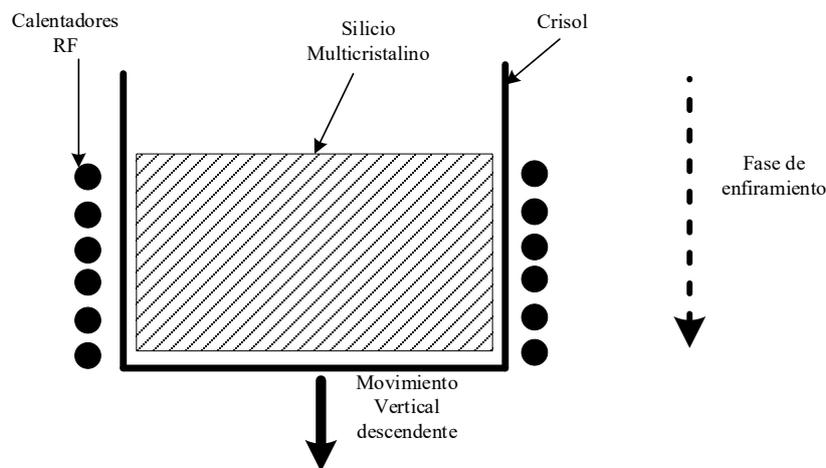


Figura 1.VIII: Descripción del proceso fabricación de *silicio multi-cristalino* mediante método de fundición [8].

1.3 INTRODUCCIÓN AL PROCESO DE FABRICACIÓN DE OBLEAS CARBURO DE SILICIO (SiC) Y NITRURO DE ALUMINIO (AlN)

El proceso de fabricación de los lingotes de *carburo de silicio* (SiC) sigue un proceso único. Esto se debe que el *carburo* pasa directamente de estado sólido a gas. Esta característica hace que no sea posible usar los procesos de cristalización usados en el proceso tradicional de fabricación de obleas de *silicio mono-cristalino*. Los lingotes de *carburo de silicio* permite fabricar componentes electrónicos como diodos o transistores con mayores rangos de voltaje corriente y frecuencia.

El *nitruro de aluminio* (AlN) es un material cerámico, el cual se usa en combinación con el *silicio* en aplicaciones específicas para mejorar las capacidades eléctricas, térmicas y mecánicas de diferentes componentes electrónicos. Tiene un gran uso en dispositivos *MEMS* y amplificadores de radio-frecuencia.

METODO TRANSPORTE POR VAPOR (PVT)

En el proceso *PVT* (*Physical Vapor Transportation*), el *carburo de silicio* es depositado en la parte baja del crisol en fase sólida. Posteriormente, el crisol se calienta mediante un sistema de inducción de radiofrecuencia hasta alcanzar en torno los 2400 grados centígrados. La temperatura de la semilla, usada para la deposición del *carburo de silicio* en su parte inferior está cercana a la temperatura de sublimación, siendo esta entorno a los 100 grados centígrados. Esto permite que los cristales de *carburo de silicio* en estado gaseoso se depositen sobre ella.

A continuación, se describe el esquema de un reactor *PVT*.

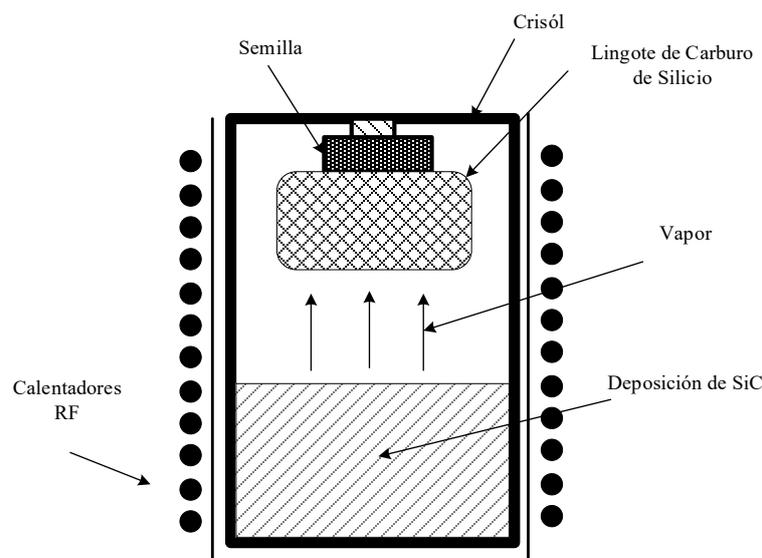


Figura 1.IX: Descripción del reactor usado en el proceso de crecimiento *PVT* [9]:

1.4 INTRODUCCIÓN AL PROCESO DE FABRICACIÓN DE OBLEAS ARSENIURO DE GALIO (*GaAs*), FOSFURO DE GALIO (*GaP*) Y FOSFURO DE INDIO (*InP*)

Las obleas del tipo *arseniuro de galio* (*GaAs*), *fosfuro de galio* (*GaP*) o de *fosfuro de indio* (*InP*) siguen un proceso de fabricación similar, por esta razón, en este libro se han agrupado dentro del mismo capítulo. Los componentes creados a partir de este método de crecimiento cristalino se utilizan principalmente en transistores, diodos y diferentes tipos de circuitos integrados para radiofrecuencia y microondas.

En el caso de los componentes creados con tecnología de *fosfuro de indio*, se utilizan en componentes opto-electrónicos, principalmente dispositivos *LEDs* (*Light Emitting Diodes*) y láseres.

MÉTODO DE CRECIMIENTO *VGF* (*VERTICAL GRADIENT FREEZING*)

En método *VGF* o *Vertical Gradient Freezing*, las materias primas son introducidas en un crisol el cual se calienta hasta temperaturas de entorno los 1200 grados centígrados. Durante

este proceso, la semilla usada para la cristalización del lingote también se funde, la zona caliente se mueve a lo largo del crisol, permitiendo que un enfriamiento controlado en las zonas más bajas lo cual favorece la cristalización.

A continuación, se describe el esquema de un reactor *VGF*.

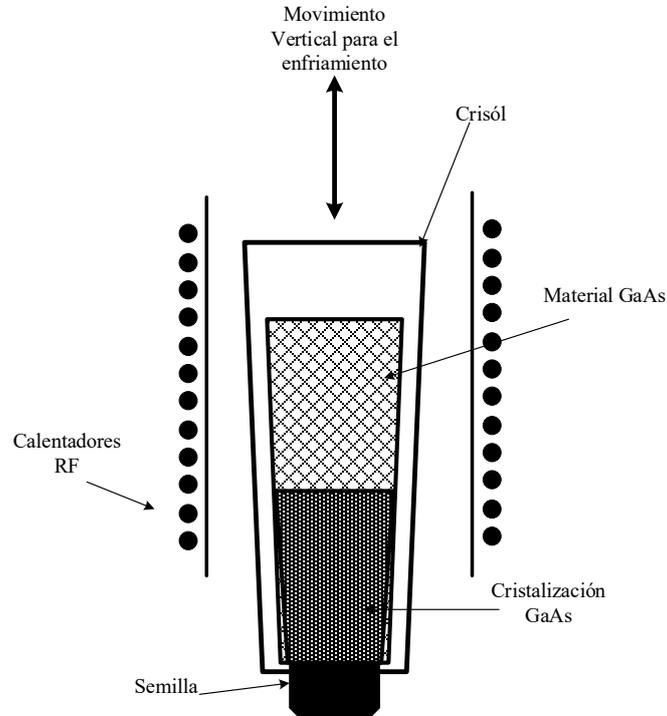


Figura 1.X: Descripción básica del método *VGF* [10].

1.5 INTRODUCCIÓN AL PROCESO DE FABRICACIÓN DE OBLEAS NITRURO DE GALIO (GaN)

La tecnología extraída de este proceso de fabricación se utiliza en componentes pasivos como transistores y diodos en aplicaciones de muy alta temperatura debido principalmente a la buena adaptación del *nitruro de galio*.

El proceso de crecimiento cristalino de lingotes de *nitruro de galio*, se puede realizar a partir de las siguientes técnicas: *MOCVD* (*Metal-Organic Chemical Vapour Deposition*), *HVPE* (*Hydride vapour-phase epitaxy*) o *molecular-beam epitaxy* (*MBE*). Todos estos procesos tienen en común la deposición controlada de átomos en forma de gas sobre un sustrato, en este caso una oblea.

MOCVD (METAL-ORGANIC CHEMICAL VAPOR DEPOSITION)

MOCVD (*Metal-Organic Chemical Vapour Deposition*): Durante este proceso se permite el paso de un gas vaporizado llamado precursor sobre un grupo de obleas, las cuales suelen estar a temperaturas de 400 a 1300 grados centígrados, en una base la gira a una velocidad

controlada. Durante este proceso se liberan átomos de *nitrógeno* (*N*) y *galio* (*Ga*) que se depositan capa a capa.

Este método de crecimiento permite incorporar otras capas materiales, algo que se da especialmente en la fabricación de diodos *LEDs* de diferentes colores.

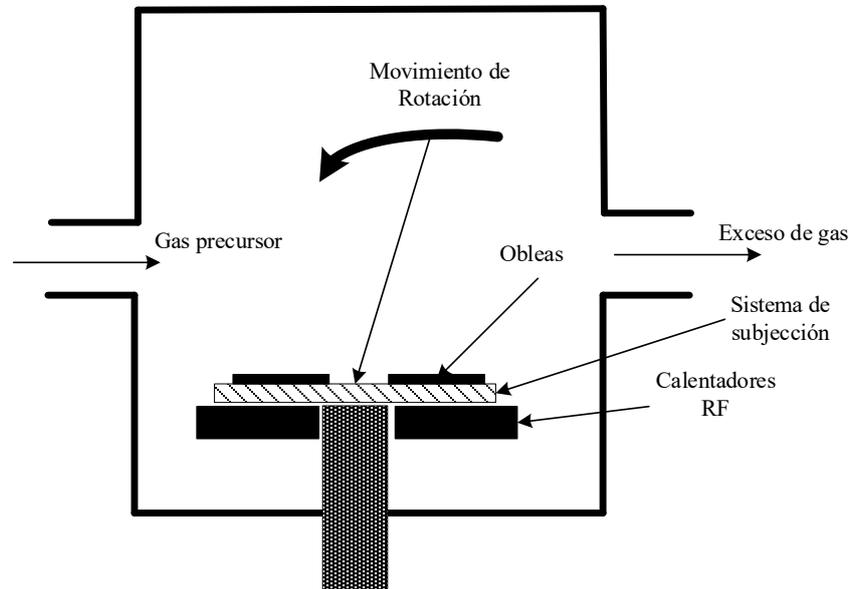


Figura 1.XI: Esquema básico del proceso *MOCVD* (*Metal-Organic Chemical Vapour Deposition*) [11].

1.6 INTRODUCCIÓN AL PROCESO DE CORTE Y FINALIZACIÓN DE LOS LINGOTES

El elemento de entrada en esta fase son los lingotes ya sean de *silicio*, *carburo de silicio* o cualquier de cualquier otro tipo usadas para la fabricación de circuitos o componentes electrónicos.

Durante esta fase los lingotes se someten a dos fases principales:

- ✓ Corte de los lingotes en obleas.
- ✓ Pulido de las obleas.

1.6.1 CORTE DE LOS LINGOTES EN OBLEAS

El proceso de corte es crucial en el proceso de fabricación de obleas de *silicio*, especialmente para tecnología *CMOS* y *de Sapphire*. Esto se debe, a que la orientación de los cristales en la oblea, determina la posición de los planos atómicos. Esto es de vital importancia para determinar el ángulo de corte de los lingotes. Esta característica es muy importante en las siguientes partes del proceso de fabricación.

Las obleas de *silicio* identifican el ángulo de corte a partir de los índices de *Miller*. Las orientaciones más comunes para las obleas de *silicio* son: (100), (111), (110), (211) y (510).

Las obleas de *Saphire*, poseen una estructura hexagonal. Esto hace que los planos de corte y su identificación sean diferentes a la usada con las obleas de *silicio*. La orientación de este tipo de corte está basado 5 tipos e planos [12]:

- ✓ *Plano C*: Es el tipo de corte más barato. Se suele utilizar en aplicaciones de ópticas por su transparencia.
- ✓ *Plano A*: Este tipo de obleas son conocidas por su alta calidad y pureza. Este tipo de material se suele utilizar en tecnología *SOI (Silicon on Isolator)*
- ✓ *Plano R*: Este tipo de corte se suele usar en combinación con otros materiales como es el caso de arseniuro de *galio* en aplicaciones de radiofrecuencia.
- ✓ *plano M*: Este tipo de corte se suele usar en combinación con otros materiales como es el caso de *nitruro de galio* en aplicaciones de radiofrecuencia.

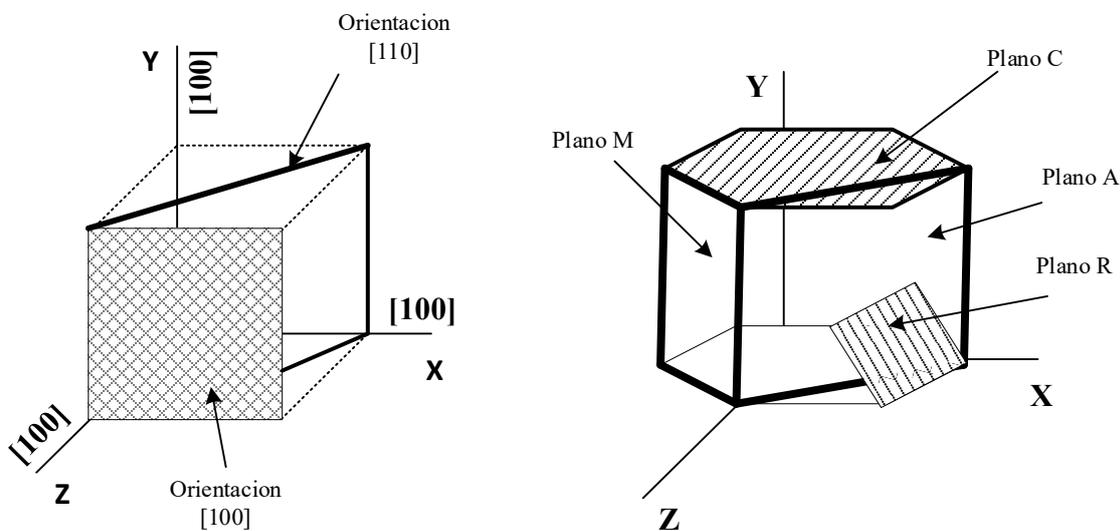


Figura 1.XII: Ejemplo de tipos de orientación de corte de los lingotes de *silicio* a partir de los *Índices de Miller* (Izquierda) y plano hexagonal (Derecha) [9], [12].

Una vez establecida la orientación de corte, si es necesaria para el tipo de tecnología en cuestión, se procede con el proceso de corte. Durante esta fase los lingotes se transforman en obleas de espesores y diámetros específicos para cada tecnología. La tecnología de corte más utilizada es la conocida como corte con cable o *wire cutting* en inglés. Las tecnologías de corte más conocidas son: el uso de corte con diamante, la cual es usada principalmente para de lingotes de *carburo de silicio* y el método de corte con líquido para tecnologías más tradicionales. A continuación, se muestra un esquema generalista del proceso de corte.

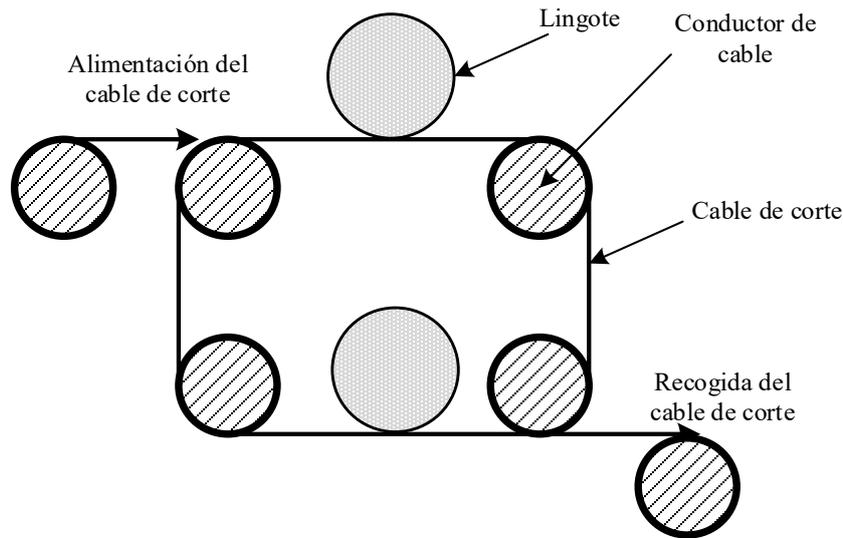


Figura 1.XIII: Ejemplo básico del proceso de corte con cable [13]:

Una vez terminada la fase de corte, las obleas pasan un proceso de esmerilado y de pulido que permite por un lado la eliminación de las impurezas y errores de la fase corte anterior y eliminar defectos microscópicos.

1.7 PROVEEDORES DE TECNOLOGÍA

El sector de crecimiento cristalino para la industria de semiconductores es muy amplio, ya que existen muchas variaciones dentro de sus procesos para dar cabida a nuevas tecnologías de fabricación de semiconductores. En la *Tabla 1.1* se detallan algunos de los proveedores de tecnología más conocidos en este entorno.

Tabla 1.1: Suministradores más comunes de tecnología para la *Fase de Fabricación 1* [14]

Fase o proceso	Suministradores de tecnología
Corte de lingotes	<i>Farrotec, Ensoll, VimFun, Marposs, Tesscorn Nanoscience o SpeedFam.</i>
Tecnología de crecimiento cristalino con diferentes tecnologías	<i>PVA Crystal Growing Systems GmbH, Taiyo Nipon SanSo, Agniton Technology o Veeco Instruments Inc.</i>
Fabricantes de <i>silicio</i> metalúrgico	<i>Ferroglobe, Hensfate Si metal, RW Silicium GmbH o Metso Wacker.</i>

CAPÍTULO 2

2.

FASE DE DISEÑO: DISEÑO DE LOS CIRCUITOS INTEGRADOS

La fase de diseño, comprende de manera resumida, la conceptualización del diseño del circuito integrado, la selección tecnológica más adecuada, la creación de la circuitería y la simulación de su funcionalidad.

Uno de los primeros pasos en el proceso de diseño, está en la selección tecnológica. Para poder realizar una selección tecnológica con éxito, la empresa encargada de la fase de impresión litográfica (*la fase fabricación 2*) ha de proporcionar la siguiente información:

- ✓ Reglas de fabricación para el nodo o nodos tecnológicos seleccionados.
- ✓ Datos e informes de la *Fase de Cualificación 1*, que engloba los nodos tecnológicos seleccionados.
- ✓ Información de los rangos y parámetros eléctricos de las estructuras de su nodo tecnológico. Esta información suele estar recopilada en las hojas de datos del nodo tecnológico seleccionado o en sus reglas de diseño.
- ✓ Modelos de simulación de las estructuras específicas de su nodo tecnológico.

Durante este capítulo se tratan exclusivamente aquellos puntos que se consideran relevantes para la fase de cualificación.

2.1 AVANCE DEL CAPÍTULO

En este capítulo se abordan los siguientes puntos:

- ✓ Resumen general de la fase de diseño de un circuito integrado.
- ✓ Fotomáscara de un circuito integrado.

2.2 RESUMEN GENERAL DE LA FASE DE DISEÑO DE UN CIRCUITO INTEGRADO

Un proceso de diseño de circuito integrado o cualquier producto electrónico, parte de lo que se conocen como requisitos de diseño. Los requisitos de diseño, definen todas las características técnicas y tecnológicas del producto que se desea fabricar.

Las características técnicas que se utilizan para establecer unos requisitos de diseño se pueden obtener de diferentes fuentes como pueden ser: A partir de innovaciones tecnológicas, a partir de cambios en el mercado, a partir de nuevas necesidades o peticiones específicas de los potenciales clientes.

Los requisitos de diseños obtenidos a partir de las diferentes fuentes son documentados y compilados en especificaciones que definen la funcionalidad a bajo nivel que se desea crear con el circuito analógico o digital.

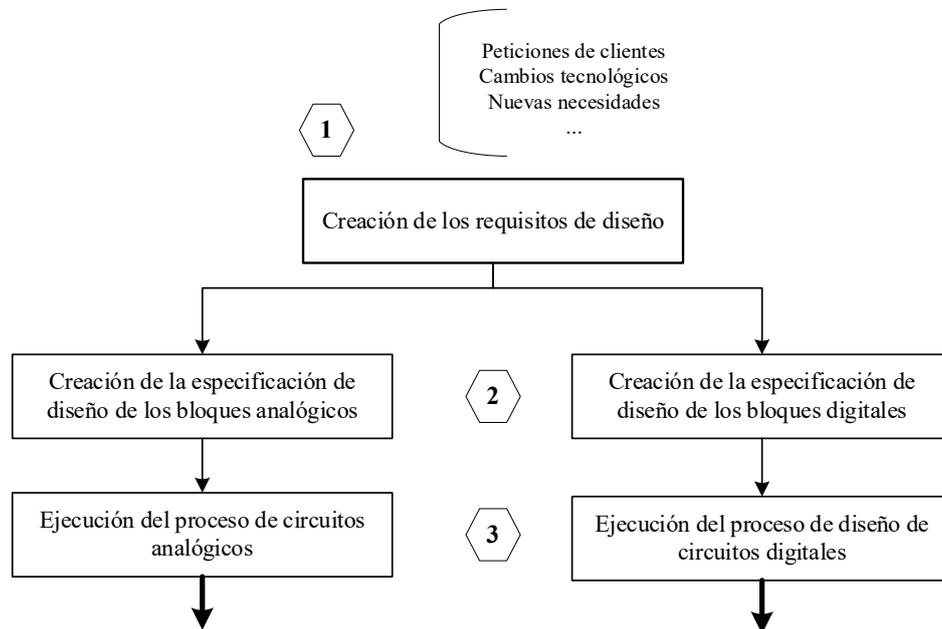


Figura 2.I: Proceso general de diseño de un circuito integrado [3].

Los subprocesos de diseño de cada tipo de circuito son los siguientes:

- ✓ *Proceso de diseño de un circuito digital:* Un proceso de diseño de un circuito integrado digital está formado seis fases. Las más conocidas se detallan a continuación.

Definición de la funcionalidad de los bloques principales: La definición de la funcionalidad de los bloques de un circuito integrado se realiza a partir de la información de entrada proporcionada por los requisitos de diseño. Los requisitos de diseño definen las características técnicas del producto que se desea fabricar.

Los requisitos de diseño pueden clasificar dependiendo de: características funcionales del circuito integrado, descripción de los bloques y su funcionalidad, parámetros necesarios para la cualificación del circuito integrado, entre otras características. Estas características técnicas y funcionales son mayormente validadas en las *Fases de Calidad 1*, *Calidad 2* y la *Fase de Cualificación 2*.

Diseño de la lógica combinacional: Esta fase de diseño digital está altamente automatizada ya que se puede crear el diseño digital con lenguajes de programación como son *VHDL* o *Verilog*. Este tipo de lógica se conoce como *lógica RTL*.

Sintetizado de la lógica combinacional: esta fase de diseño comprende la conversión del diseño del circuito en *lógica RTL* a un diseño físico con puertas lógicas. Esta

conversión se realiza mediante compiladores especializados, como por ejemplo el compilador *Cadence RLT Compiler*.

Diseño físico del circuito: La lógica *RTL* ha de tener su representación física, en forma de puertas lógicas generadas a partir de los archivos de simulación, reglas de diseño y descripción física de las estructuras proporcionada por la fábrica de obleas. Durante esta fase, los componentes físicos se organizan de manera ordenada siendo esta su futura organización en la oblea. Esta colocación y conexión de componentes se ha de realizar de manera específica para las reglas de fabricación y tecnología de la fábrica de obleas seleccionadas.

Verificación del circuito integrado: A partir de los modelos de simulación proporcionados por la fábrica de obleas en relación al comportamiento y parámetros eléctricos de sus estructuras, se simula la funcionalidad final del circuito integrado. Esto permite verificar si se cumplen los requisitos establecidos en la definición de la funcionalidad y los requisitos de diseño.

Tape-out o lanzamiento: es la última fase en el diseño de un circuito integrado. Durante esta fase se compila la información y archivos creados en la fase del diseño físico del circuito integrado y de verificación para proceder con el diseño de la fotomáscara. Los formatos más comunes de este tipo de archivos son: *GDSII* y *OASIS*.

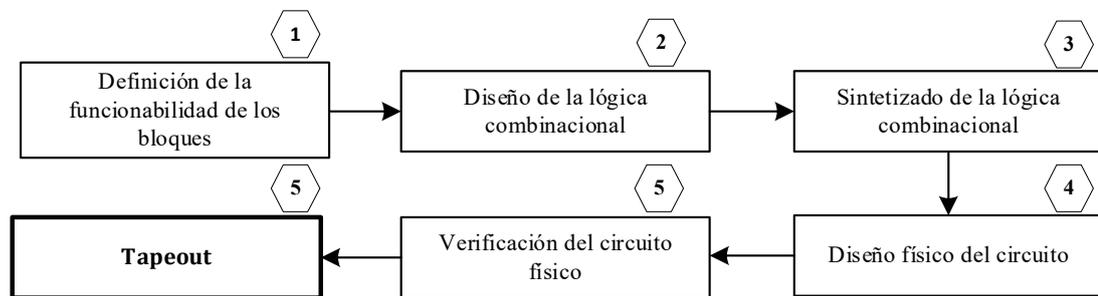


Figura 2.II: Fases de diseño de un circuito integrado digital [3].

Los tipos de bloques digitales más comunes que se pueden agrupar dentro de un proceso de diseño digital son: *CPUs* (Unidades centrales de procesado), memorias *RAM* (*Random Access Memory*) u otros bloques similares como son los buses de comunicación, decodificadores digitales, etc. Es resumen, todos los bloques que puedan definir su funcionamiento mediante estados de 0 y 1 atribuidos a la lógica digital.

- ✓ *Proceso de diseño de un circuito analógico:* Un proceso de diseño de un circuito integrado analógico está formado cinco fases, algunas de las más conocidas se detallan a continuación.

Definición de la funcionalidad de los bloques principales: La definición de la funcionalidad de los bloques de un circuito integrado analógico, se realiza del mismo

modo que en circuito digital. Los requisitos de diseño definen las características técnicas del producto o bloque analógico que se desea fabricar o diseñar. Estas características técnicas y funcionales son mayormente validadas en las *Fases de Calidad 1, Calidad 2 y la Fase de Cualificación 2*.

Diseño del circuito analógico: Durante esta fase se diseña el circuito analógico, se realiza mediante herramientas de diseño tradicional como son las proporcionadas por *Cadence*. Este tipo de diseño no se basa en el uso de lenguajes *HDL* como el usado en el diseño digital, sino que se realiza mediante la unión de símbolos que definen la funcionalidad de componentes electrónicos tradicionales, como son transistores, resistencias o condensadores.

Diseño físico del circuito: Todos los símbolos usados en la fase de diseño analógico, tienen una representación física en el circuito físico que representan. Durante esta fase, se convierte la descripción del símbolo del componente electrónico al componente físico que lo representa. Posteriormente estos componentes se ordenan para su posterior interconexión. Esta colocación e interconexión de componentes se realiza de manera específica para: la funcionalidad buscada, las reglas de fabricación y tecnología de la fábrica de obleas seleccionadas.

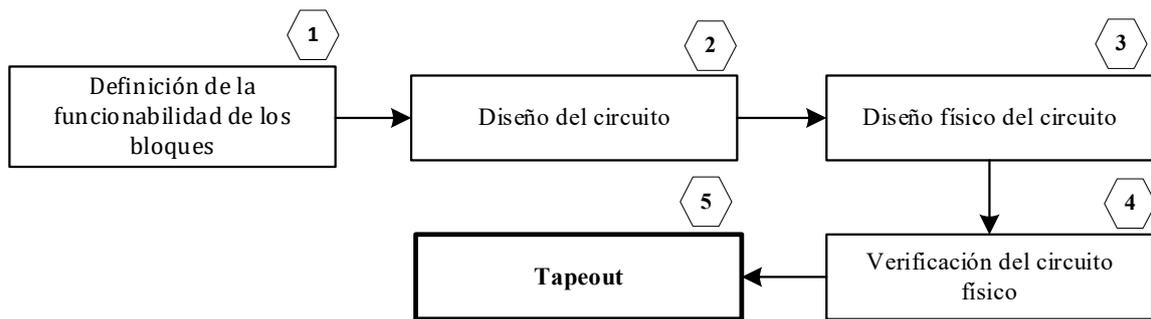


Figura 2.III: Fases de diseño de un circuito integrado analógico [3].

Los tipos de bloques analógicos más comunes que se pueden agrupar dentro de un proceso de diseño analógico son: reguladores de voltaje, reguladores de *bandgap*, amplificadores operaciones o fuentes de corriente. Son aquellos tipos de circuitos que utilizan señales continuas con múltiples estados posibles.

2.3 FOTOMÁSCARA DE UN CIRCUITO INTEGRADO

La fotomáscara es el componente de fabricación creado a partir de los archivos generados en la fase de diseño del circuito integrado. La fotomáscara permite la impresión de la circuitería tanto analógica como digital o partes de un componente electrónico en un sustrato.

El proceso de fabricación de una fotomáscara es complejo, ya que conlleva diferentes pasos intermedios de fabricación y calidad. La *Figura 2.IV* muestra el proceso más común de fabricación de una fotomáscara:

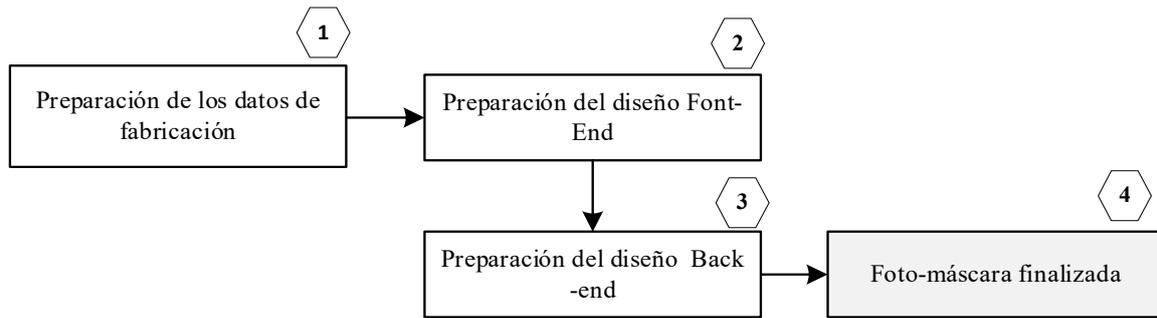


Figura 2.IV: Proceso básico de fabricación de una fotomáscara de un circuito integrado [15].

Preparación de los datos: Durante esta fase se analizan los datos proporcionados durante la fase de *Tape-out*. Estos datos permiten convertir el diseño del circuito integrado a su representación en una oblea, la cual contiene cientos de circuitos integrados idénticos, imprimidos en áreas muy pequeñas.

Esta adaptación puede dar lugar a cambios en las dimensiones del *chip* inicialmente planeada por esta razón durante esta fase también se analizan los patrones y se verifican las reglas de diseño para evitar errores que puedan llevar a fabricar la fotomáscara de nuevo.

Preparación del diseño Front-End: Durante esta etapa se escriben los patrones en la fotomáscara y se realiza un tratamiento químico que aumenta su fiabilidad ya que se someterá a luz ultravioleta durante la fase de impresión de los circuitos en las obleas. Durante esa fase se verifican las dimensiones de parámetros críticos para asegurar que cumple las especificaciones de diseño.

Preparación del diseño Back-End: Esta etapa permite la verificación de la calidad de la fotomáscara terminada y garantizar su calidad durante su vida útil. Durante esta fase se realizan análisis de detección y reparación de errores mediante el uso de técnicas de reflexión usando imágenes de referencia que deben ser comparadas con las generadas por la fotomáscara.

Existen varios tipos de foto mascarar algunas de las más comunes son:

- ✓ *Fotomáscara convencional binaria o binary mask:* Este tipo de máscara, se caracteriza por poseer una base transparente cubierta por patrones opacos. Este tipo de fotomáscara es una de las más tradicionales.

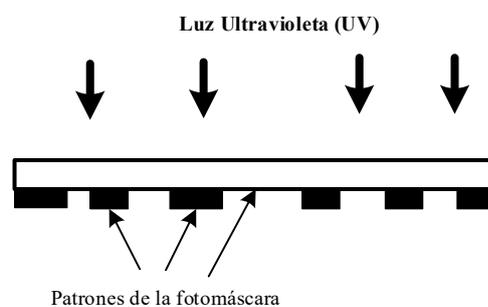


Figura 2.V: Fotomáscara binaria tradicional [14].

- ✓ *Fotomáscara de cambio de fase alterna o alternating phase-shift mask*: En este tipo de fotomáscara, se controla la fase de la luz incidente mediante el control de los espesores de las regiones transparentes de la máscara.

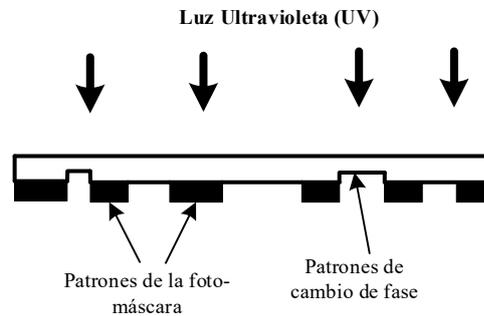


Figura 2.VI: Fotomáscara de cambio de fase alterna [14].

- ✓ *Fotomáscara de cambio de fase atenuada o attenuated phase-shift mask (Patente: [16])*: En este tipo de fotomáscaras, se controla el espesor de ciertas regiones de la fotomáscara con patrones, esto crea un cambio de fase, lo que permite imprimir tramas de muy poco espesor.

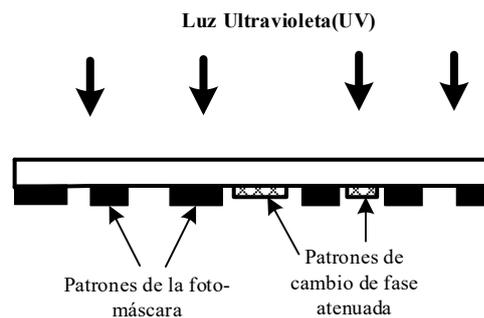


Figura 2.VII: Fotomáscara de cambio de fase atenuada [14].

2.4 PROVEEDORES DE TECNOLOGÍA

El sector de diseño y fabricación de fotomáscaras posee diferentes herramientas y empresas especializadas. En la *Tabla 2.1* se detallan algunos de los proveedores de tecnología más conocidos en esta fase:

Tabla 2.I: Suministradores de tecnología en la *Fase de Diseño I* – Herramientas de diseño y fabricación de fotomáscaras [17].

Equipo	Suministrador
Proveedores de herramientas de diseño analógico y digital	<i>Cadence Design, Synopsys y Siemens EDA o ANSYS INC.</i>
Empresas especializadas en la fabricación de fotomáscaras	<i>Dai Nippon Printing, SMIC, DNP, LG Innotek, Toppan Photomask, Photronics Inc o Hoya Corporation.</i>

CAPÍTULO 3

3.

FASE DE FABRICACIÓN 2: FABRICACIÓN DE LAS OBLEAS DE CON EL CIRCUITO ELÉCTRÓNICO

La creación de la circuitería tanto analógica como digital sobre un sustrato es conocido también como *Front-End Process* en inglés y depende de lo que se conoce como su nodo tecnológico. El nodo tecnológico, se define como las estructuras electrónicas de menor tamaño que puede ser fabricada con fiabilidad. Estas estructuras electrónicas, principalmente transistores, resistencias y diodos, se combinan para crear bloques funcionales como son: *CPUs* (*Unidades Centrales de Procesado*) que tienen la función de procesar instrucciones digitales de alta complejidad o *ADCs* (*Convertidores Analógicos a Digital*) y *DACs* (*Convertidor digital a analógico*) que traducen señales de tipo analógico a digital y viceversa.

Desde los años 60 los procesos de fabricación de circuitos integrados y componentes electrónicos han sufrido cambios e innovaciones continuas, permitiendo fabricar en circuitos de mayor complejidad en áreas más pequeñas. Este proceso de miniaturización ha permitido llegar a nodos tecnológicos de 2 nanómetros para tecnología *CMOS*.

Esta miniaturización se ha llevado a cabo principalmente en la tecnología *CMOS*, la cual, se aplica masivamente en circuitos digitales. Como se ha descrito en la *Fase de Diseño*, los circuitos digitales poseen una fase de diseño más simple y rápido, lo que permite compilar un diseño digital en un lenguaje *HDL* a su representación física de manera muy eficiente. En la *Tabla 3.1* se detallan los nodos tecnológicos más comunes la tecnología *CMOS*:

Tabla 3.1: Sumario de algunos de los procesos tecnológicos *CMOS* existentes hasta la fecha [18].

Nodo	Fabricante de referencia	Año de lanzamiento
3um	TSMC	1987
180nm	TSMC	1998
150nm	TSMC	1988
130nm	TSMC	2001
90nm	TSMC	2004
65nm	TSMC	2006
40nm	TSMC	2008
28nm	TSMC	2011
22nm	TSMC	2011
20nm	TSMC	2014
16nm	TSMC	2015
12nm	TSMC	2015
10nm	TSMC	2016
7nm	TSMC	2018
5nm	TSMC	2020
2nm	TSMC	2022

3.1 AVANCE DEL CAPÍTULO

En este capítulo se abordan los siguientes puntos:

- ✓ Descripción básica de un proceso de fabricación de un circuito integrado.
- ✓ Descripción de las estructuras tecnológicas más comunes.
- ✓ Fase de metalización proceso *front-end*.
- ✓ Proveedores de tecnología

3.2 DESCRIPCIÓN BÁSICA DE UN PROCESO DE FABRICACIÓN DE UN CIRCUITO INTEGRADO

El elemento de entrada de esta fase del proceso de fabricación. Estas obleas, han sido previamente cortadas en bloques individuales durante la *Fase de Fabricación 1* de los lingotes mono-cristalinos.

Un circuito integrado está compuesto por multitud de componentes electrónicos. La unión de los componentes electrónicos se lleva a cabo durante la fase de diseño del circuito integrado, principalmente durante la fase de diseño del *Layout* o diseño físico.

Cuando la fase de diseño ha finalizado, mediante *software* especializados se generan los archivos de fabricación los cuales contienen los diseños de la fotomáscara. La fotomáscara es un conjunto de placas que contiene los patrones que definen la circuitería electrónica que se ha diseñado en el circuito integrado, y se desea imprimir sobre las obleas mono-cristalinas.

La fabricación de un circuito integrado requiere la integración de diferentes sub-procesos. Los pasos más comunes en la creación de un circuito integrado de *silicio* son los siguientes:

- a. *Sustrato de tipo n*: La oblea de *silicio* mono-cristalino usada como base siendo esta de *tipo p* o *tipo n*. El sustrato de *tipo p* se caracteriza por su capacidad para atraer electrones y *el tipo n* por repeler electrones.

El sustrato *tipo p* se crea durante la fase de dopado mediante el uso de elementos como *boro (Br)* o *galio (Ga)* por otro lado las obleas con sustrato *de tipo n* usa como dopantes *fosforo (P)*, *arsénico (As)* o *antimonio (Sb)*. El dopado es una fase en el proceso de fabricación de las obleas que permite modificar las propiedades eléctricas del sustrato mediante el uso de impurezas, como las detalladas anteriormente.

- b. *Fase de oxidación térmica*: Una de las razones del éxito de los procesos de producción de circuitos integrados de *silicio*, radica en la oxidación que se forma en su superficie (*SiO₂*). Este oxido puede usarse como aislador la puerta de los *MOSFET*.

El *silicio* puede oxidarse a temperatura ambiente, pero la mayor parte de la oxidación se produce a altas temperaturas, ya que el proceso básico requiere la penetración del oxígeno en la superficie del *silicio* donde ocurre esta reacción.

- c. *Fase de aplicación de la capa foto resistiva (PR)*: durante esta fase, se añade una capa foto resistiva sobre el sustrato de *silicio*. Esta fase es crucial para la fase de impresión posterior.
- d. *Fase Foto-litográfica*: Durante esa fase, se utilizan la fotomáscara creadas durante la fase de diseño. La fotomáscara es la representación física del dispositivo electrónico, dividiéndose en dos secciones como se describe en la *Fase de Diseño*:
 - ✓ *Sección opaca*: Esta región está hecha de un material absorbente de radiación ultravioleta (*Luz UV*).
 - ✓ *Sección foto-sensitiva*: esta región también conocida foto-resistiva está compuesta por elementos que cambian químicamente ante su exposición a rayos ultravioleta.
- e. *Fase de Etching*: Después de la creación de los patrones mediante la fase anterior los restos de la capa foto-resistiva puede usarse como mascara. Durante esta fase, las obleas se introducen en una cámara de presión donde se inyecta un gas de grabado generalmente *clorofluorocarbonatos*. El plasma es creado mediante la aplicación de radiofrecuencia entre el ánodo y el cátodo.
- f. *Difusión o Implantación de iones*: Durante esta fase, diferentes tipos de impurezas son introducidas dentro del material de *silicio*. Este procedo de dopado cambia la propiedad conductiva del material a partir de aquí se crea la *unión p-n*.

Los pasos básicos en la fabricación de un semiconductor detallados en este capítulo se pueden establecer como los más comunes. Estos pasos varían dependiendo del tipo de componente del nodo tecnológico.

Las principales diferencias entre las tecnológicas ofrecidas por las empresas especializadas en la fabricación de circuitos integrados, pueden ser apreciadas a nivel tecnológico en las dimensiones físicas de las estructuras electrónicas como a nivel de proceso de fabricación de las mismas. Esta información, así como como los procesos específicos de fabricación, es considerada altamente confidencial por las empresas las empresas de fabricación de circuitos integrados (*Wafer Foundries*). Por esta razón, este capítulo ha tratado los pasos de fabricación más comunes.

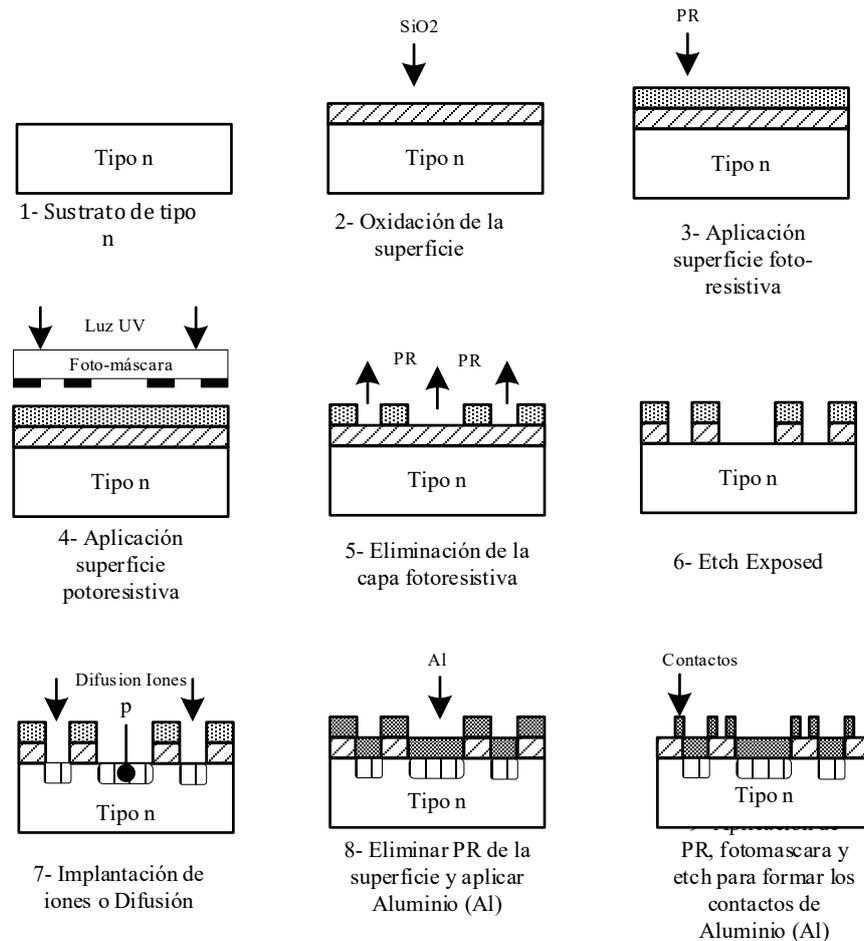


Figura 3.I: Pasos básicos en la fabricación de un circuito integrado [19].

3.3 DESCRIPCIÓN DE LAS ESTRUCTURAS TECNOLÓGICAS MÁS COMUNES

Como describe en *la fase de diseño*, las características y dimensiones de estructuras tecnológicas y las reglas de diseño son específicas de cada nodo tecnológico. Esta información es proporcionada a los diseñadores por las empresas de fabricación una vez que ha seleccionado la tecnología y proceso tecnológico adecuado para el diseño de su circuito integrado o componente electrónico.

Los diseñadores combinan las estructuras y componentes básicos del nodo tecnológico para crear bloques más complejos como son: amplificadores operacionales, reguladores, comparadores entre otros, los cuales se combinan para crear bloques funcionales de mayor complejidad, que a su vez definen el funcionamiento del circuito integrado.

Los procesos tecnológicos de fabricación más conocidos, se pueden clasificar en los siguientes grupos dependiendo de la estructura de sus componentes electrónicos:

- ✓ *Tecnología Bulk CMOS.*
- ✓ *Tecnología SOI.*
- ✓ *FinFET (Fin field-effect transistor).*

- ✓ Tecnología *MEMS*.
- ✓ Tecnología para componentes electrónicos individuales.

3.3.1 CLASIFICACIÓN DE LA TECNOLOGÍA *BULK CMOS*

El diseño tradicional de electrónica, siempre ha buscado en los procesos de fabricación de transistores conseguir una baja disipación de energía, muy pocos retrasos encadenados y un buen control de los tiempos de subida y bajada. Estas características son muy difíciles de conseguir, pero el tipo de tecnología más cercano a estos requisitos es la tecnología *CMOS* (*Complementary Metal Oxide Semiconductor*) ya que posee una muy alta impedancia de entrada y un bajo consumo de corriente.

A lo largo de los años, la tecnología *CMOS* se ha podido integrar con otros procesos tecnológicos y diferentes tipos de transistores. Esto ha permitido que la tecnología *CMOS* se pueda aplicar en diferentes tipos de circuitos y productos con mayores rangos de voltaje y corrientes. En este libro, la tecnología *CMOS* se clasifica en las siguientes variaciones tecnológicas:

- ✓ Tecnología *CMOS* estándar.
- ✓ Tecnología *BICMOS*.
- ✓ Tecnología *BDCMOS*.
- ✓ Tecnología analógica *CMOS*.
- ✓ Tecnología *RF CMOS*.
- ✓ Tecnología de imagen *CMOS*.

DESCRIPCIÓN DE LA TECNOLOGÍA *CMOS* ESTANDARD

La tecnología *CMOS*, es uno de los procesos tecnológicos más comunes en los diseños de bloques funcionales digitales como son: las *CPUs*, memorias *RAM* o buses de comunicación, debido a su simplicidad, dimensiones y alta eficiencia.

La arquitectura *CMOS* está compuesta por dos tipos de transistores:

- ✓ *Los transistores NMOS (Negative-channel Metal-Oxide Semiconductor)*, este tipo de transistor actúa como un interruptor básico dependiendo del voltaje en la puerta del transistor el cual está formado por dos regiones de *tipo n*, una el surtidor y otra en el drenador. Cuando el voltaje de la puerta es positivo, el transistor permite el paso de la corriente entre el drenador y el surtidor.
- ✓ *Transistores PMOS (Positive-channel Metal-Oxide Semiconductor)*: este tipo de transistor actúa de modo similar al transistor *NMOS* pero en este caso del transistor está formado por dos regiones de *tipo p*, una el surtidor y otra en el drenador. Cuando el voltaje de la puerta es cero, el transistor permite el paso de la corriente entre el drenador y el surtidor.

En la *Figura 3.II*, se describe una estructura *CMOS* básica:

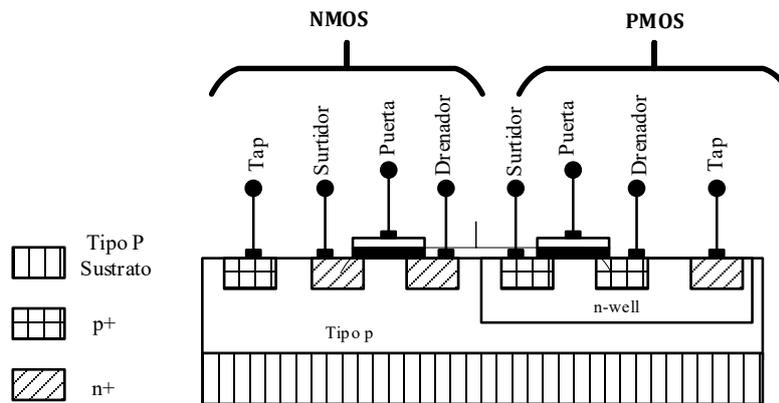


Figura 3.II: Descripción básica de una estructura *CMOS* [20].

La tecnología *CMOS* ha llegado a dimensiones de 2nm [18]. Esto permite, crear una densidad de lógica digital muy grande en áreas relativamente pequeñas disminuyendo el consumo de corriente.

Los principales fabricantes de esta tecnología son *ST Semiconductors*, *Global Foundries*, *Taiwan Semiconductors*, *Donbu Hitek*, *XFAB* entre otros.

DESCRIPCIÓN DE LA TECNOLOGÍA *BICMOS*

Los procesos tecnológicos *BICMOS* (*Bipolar Complementary Metal Oxide Semiconductor*), combinan dos procesos tecnológicos, el proceso de fabricación *transistor bipolar* (*BJT*) y el proceso de fabricación de la tecnología *CMOS*.

La combinación tecnológica *BICMOS*, permite obtener las ventajas de ambos procesos tecnológicos, por un lado, el bajo consumo de corriente y área requerida de los transistores *CMOS* y, por otro lado, las altas velocidades de conmutación de los transistores bipolares.

El proceso de fabricación de la tecnología *BICMOS* es muy similar al usado en la tecnología *CMOS* tradicional. La diferencia principal entre ambos procesos de fabricación radica en que, durante el proceso de impresión, el transistor *BJT* requiere la creación una capa soterrada de *tipo n*.

Las tecnologías *BICMOS* ofrecen una alta velocidad de conmutación. Esta característica la hace ideal para aplicaciones de altas frecuencias. Algunos de los nodos tecnológicos que admiten las estructuras *BICMOS* son: 350nm, 250nm, 180nm, 130nm y 55nm [21].

En la *Figura 3.III* se describe de manera gráfica una estructura básica de un proceso *BICMOS*:

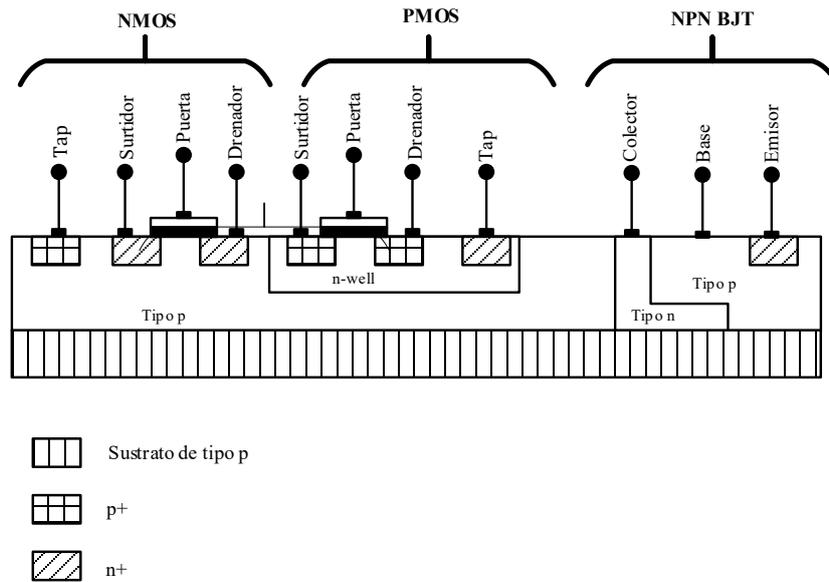


Figura 3.III: Descripción básica de una estructura BICMOS [20].

DESCRIPCIÓN DE LA TECNOLOGÍA BDCMOS

El proceso tecnológico BDCMOS (*Bipolar Complementary Double-Diffused Metal Oxide Semiconductor*), permite la integración de transistores CMOS, DMOS y tecnología bipolar (BJT) dentro de un mismo nodo tecnológico.

La unión de estos cuatro tipos de transistores en un mismo nodo, permite maximizar las características de cada uno para crear productos más fiables y completos. Algunas de las ventajas de este proceso tecnológico son: su gran escalabilidad ya que permite unir por ejemplo un controlador digital con una etapa de potencia dentro de un mismo paquete y el aumento de los rangos de voltaje y de corriente.

En la *Figura 3.IV*, se describe de manera gráfica una estructura básica de un proceso *BCDMOS*:

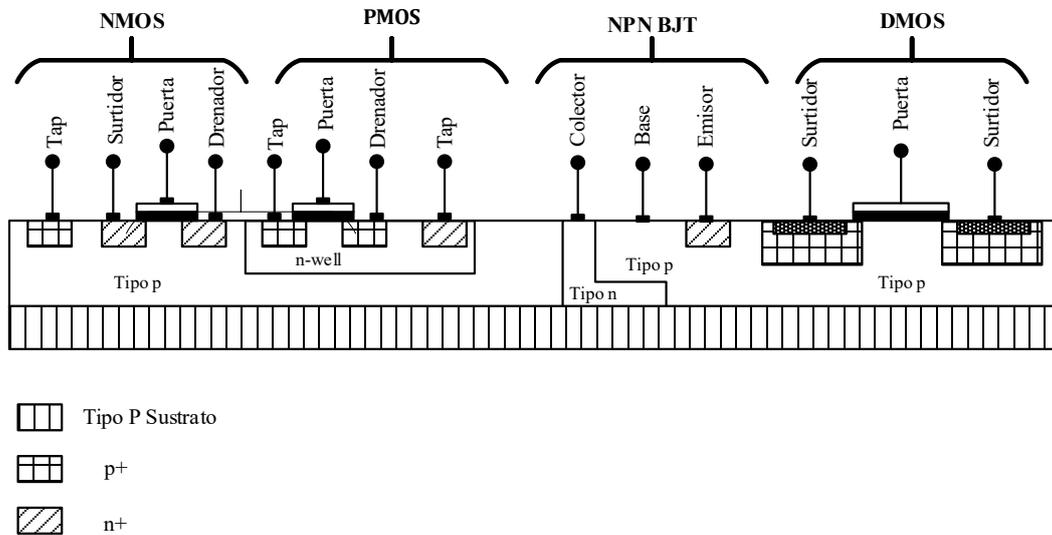


Figura 3.IV: Descripción básica de una estructura *BCDMOS* [20].

La tecnología *BDCMOS* ofrece rangos de voltaje y corriente superiores a los de la tecnología *CMOS* tradicional, permitiendo crear circuitos integrados con rangos de voltaje de entre 40 a 700 voltios, manteniendo las ventajas ya conocidas de los transistores *CMOS* y *BJT* [21].

Algunas de los procesos tecnológicos disponibles que admiten estructuras *BCDMOS* son 180nm y 350nm. Los principales fabricantes de esta tecnología son *ST Semiconductors* [22], *Donbu Hitek* [21], *Taiwan Semiconductors* [23] entre otros.

DESCRIPCIÓN DE LA TECNOLOGÍA DE IMAGEN *CMOS*

En este tipo de variación de la tecnología *CMOS*, se utilizan sus estructuras para la detección de imágenes. La tecnología *CMOS* ha permitido revolucionar este campo ya que una de sus ventajas es que permite la programación de píxeles.

En este tipo de tecnología, las estructuras *CMOS* se utilizan como sensores de imágenes mediante la organización de fotodiodos en matrices. Cada uno de los *pixeles* en estas matrices puede ser programado para detectar longitudes de onda específicas además estos píxeles pueden ser accesibles mediante el uso unos circuitos de control y lectura, lo que permite identificar imágenes.

La tecnología *CMOS* de imagen, combina la tecnología *CMOS* tradicional con tecnológica de captura de imágenes como son los fotodiodos. Algunas de los procesos tecnológicos disponibles que admiten estructuras imagen *CMOS* son 180nm, y 65nm. Alguno de los proveedores de este tipo de tecnología son: *TPSCo* [24], *Global Foundries* [25], *Taiwan Semiconductors* [23] entre otros.

En la *Figura 3.V*, se describe de manera gráfica, la composición de una estructura básica *CMOS* de imagen:

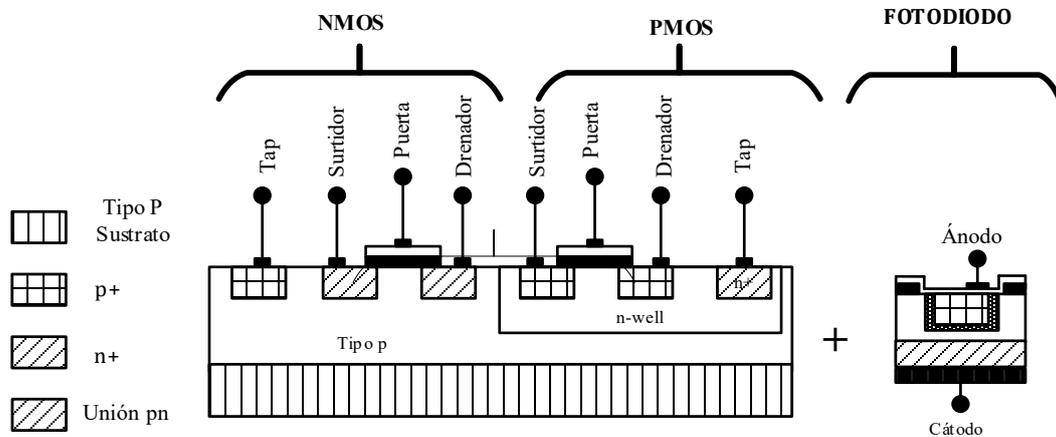


Figura 3.V: Descripción básica de una estructura *de imagen CMOS* [26].

DESCRIPCIÓN DE LA TECNOLOGÍA ANALÓGICA *CMOS*

Este tipo de variación de la tecnología *CMOS*, permite el diseño de circuitos de señales mixtas como son: *Convertidores Analógicos a Digital (ADCs)* o puramente analógicos como es el caso de amplificadores operaciones o comparadores, ya que las *CMOS* básicas solo poseen una de sus aplicaciones directas en la lógica combinatorial digital. Este tipo de procesos tecnológicos tienen dentro de sus estructuras típicas además de transistores, condensadores y resistencias. Algunas de los procesos tecnológicos disponibles que admiten estructuras analógicas *CMOS* son 180nm, 130nm, 65nm y 45nm. Los principales fabricantes de esta tecnología son *XFAB* [27], *TPSCo* [24], *Global Foundries* [25], *Taiwan Semiconductors* [23] entre otros.

3.3.2 CLASIFICACIÓN DE LA TECNOLOGÍA *SOI (SILICON ON ISOLATOR)*

La tecnología *SOI (Silicon on Isolator)*, se considera el proceso tecnológico que sustituirá a la tecnología *CMOS* en el futuro. La diferencia con las estructuras *CMOS* está en la capa intermedia. La tecnología *SOI* contiene una capa intermedia de *óxido de silicio* conocida como *BOX (Burried Oxide Layer)*. Algunas de las ventajas de esta nueva composición son:

- ✓ *Muy baja capacitancia entre el drenador y el surtidor en los transistores:* Eso se debe al dieléctrico proporcionado por la capa *BOX*, esto permite aumentar la velocidad de conmutación de los transistores
- ✓ Mejora de la velocidad de conmutación de las puertas lógicas conjuntas.
- ✓ *No existe enclavamiento o Latch-up:* El fenómeno *Latch-up* es común en la tecnología *CMOS* debido a que se crea una zona de funcionamiento parasitaria equivalente a un tiristor, es decir que este fenómeno puede hacer que ambos transistores *PMOS* y *NMOS* conduzcan a la vez.

En la *Figura 3.VI*, se describe de manera gráfica una estructura básica de un proceso *CMOS SOI*:

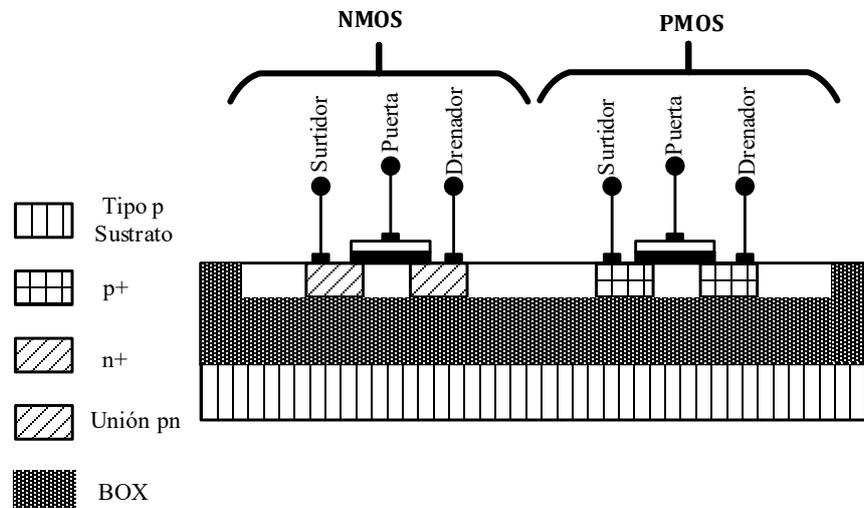


Figura 3.VI: Descripción básica de una estructura *CMOS SOI* [28].

Este nuevo *SOI*, puede ser usado en todas las aplicaciones de la tecnología *CMOS* tradicional, por esta razón, existen nodos tecnológicos como es el caso de *SOI BICMOS* o *SOI BDCMOS*. Actualmente, se han alcanzado procesos de hasta 22nm en tecnología *CMOS*. Los principales fabricantes de esta tecnología son *XFAB* [27], *TPSCo* [24], *Global Foundries* [25] *Taiwan Semiconductors* [23] entre otros.

3.3.3 DESCRIPCIÓN DE LA TECNOLOGÍA *FinFET*

La tecnología *FinFET* (*Fin-field-effect-transistor*), es una tecnología basada en el nodo tecnológico *SOI*. Este tipo de transistores tienen un voltaje inferior a la tecnología *CMOS* tradicional. Esto permite alcanzar velocidades de conmutación superiores. La diferencia principal con la tecnología *CMOS* está en la estructura física ya que la tecnología *CMOS* tiene una posición horizontal en el sustrato junto con las secciones del drenador y el surtidor. Los transistores *FinFET* poseen una organización vertical de su estructura. Dentro de este grupo de transistores, existen dos subcategorías: los transistores *FinFET SOI*, que siguen el proceso tecnológico similar al *CMOS SOI* donde existe una capa intermedia conocida como *BOX* y los *Bulk FinFET* que están formados por una composición similar la tecnología de transistores tradicionales *CMOS*. La diferencia estructural entre ambas estructuras puede verse descrita en la siguiente imagen.

En la *Figura 3.VII* se describe de manera gráfica las estructuras básicas de un proceso *FinFET*:

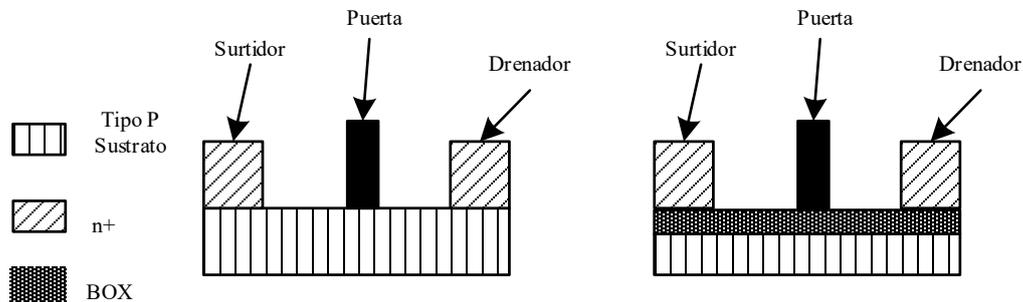


Figura 3.VII: Estructura de un transistor *FinFET* tradicional (Izquierda) y *SOI FinFET* (Derecha) [29].

Actualmente, se han alcanzado procesos de entre 14 a 5 nanómetros. Los principales fabricantes de esta tecnología son *Global Foundries* [25], *Taiwan Semiconductors* [23] e Intel principalmente.

3.3.4 DESCRIPCIÓN DE LA TECNOLOGÍA MEMS

La tecnología *MEMS* (*Sistemas Micro-Electromecánicos*), permite la creación física de sistemas electromecánicos con tecnología de fabricación de circuitos integrados. Los sistemas electromecánicos *MEMS*, tienen la capacidad de control y medir señales a nivel microscópico. Algunos de estos tipos de sensores son: actuadores, acelerómetros o membranas.

La tecnología *MEMS* se puede clasificar en los siguientes grupos [30]:

- ✓ *RF MEMS*: Son sensores electromecánicos diseñados para operar en el espectro de radiofrecuencia. Estos tipos de sensores se caracterizan por activarse o funcionar mediante picos resonantes, debidos principalmente a inductancias y capacitancias implementadas en su diseño. Este tipo de tecnología está ampliamente usada en el sector militar, médico y de telecomunicaciones.
- ✓ *Optical MEMS*: Este tipo de sensores electromecánicos están diseñados para manipular señales ópticas a nivel de micrómetros. Este tipo de sensores se aplica mayormente en proyectores pantallas y otros sistemas electromecánicos.
- ✓ *BioMEMS*: Este tipo de sensores electromecánicos se utilizan para la medición de parámetros biológicos como análisis capilares o parámetros biométricos.

La *Figura 3.VIII*, describe una estructura básica de un sensor *MEMS* capacitivo. El funcionamiento básico del sensor capacitivo *MEMS* se basa en el uso de puente cerámico sujeto sobre unos soportes. La variación de la presión en el puente cerámico produce una variación en la capacitancia del sensor. Esta variación en la capacitancia, actúa sobre el sustrato y el

electrodo generando una señal analógica. Esta señal es acondicionada y adaptada mediante amplificadores operacionales para decodificar su significado.

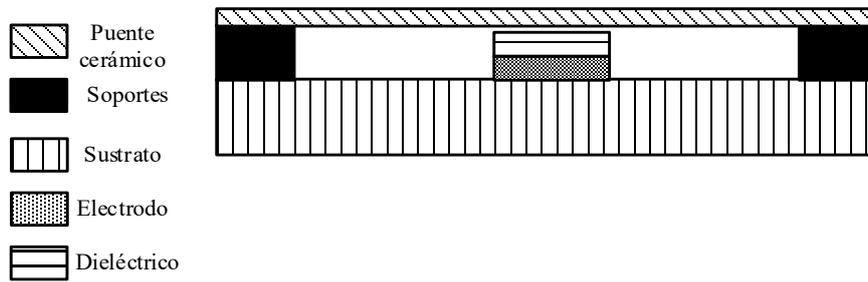


Figura 3.VIII: Ejemplo de un actuador *MEMS RF* capacitivo [31], [30].

3.3.5 CLASIFICACIÓN SEGÚN SEAN COMPONENTES ELECTRÓNICOS INDIVIDUALES

Este tipo de tecnología, requiere un proceso de fabricación más simple que el usado en los circuitos integrados, pero tanto sus estructuras como su método de construcción es más complejo. Esto se debe a los componentes individuales han de alcanzar una combinación de rangos de corriente, voltaje y frecuencia superiores a las tecnologías *CMOS* o *SOI*. Algunos de los componentes más comunes dentro de este grupo son:

- ✓ *Transistores:* transistores de potencia o *power MOSFETs*, de difusión doble *DMOS*, de radiofrecuencia *RF FET*, *BJT* de unión bipolar.
- ✓ *Diodos:* *Rectificadores*, *TVS de corte*, *diodos zener*, *diodos LEDs*, *diodos Schottky*, varactores, diodos de barrera, diodos de tipo túnel, entre otros.
- ✓ *Otros componentes:* *Tiristores*, *SCR (Silicon Controlled Rectifiers)*, *DIACs (Diode Alternative Current)*, *TRiACs (Tri-Diode Alternative Current)*, *transistores BJT HBT (Heterojunction Bipolar Transistors)*.
- ✓ entre otros.

Los procesos tecnológicos más usados en la fabricación de componentes individuales son principalmente: la tecnología de *SiC (carburo de silicio)*, la tecnología de *nitruro de galio (GaN)* y la tecnología de *GaAs (arseniuro de galio, sustratos sapphire, o fosfuro de indio (InP))* cuyos procesos de fabricación de lingotes se describe en la *Fase de Fabricación 1*.

DESCRIPCIÓN DE UNA ESTRUCTURA DE UN TRANSISTOR *DMOS*

Este tipo de transistores, son también conocidos como transistor de difusión doble, están englobados dentro del grupo de transistores de radio frecuencia. Este grupo de transistores incorpora un proceso fabricación de difusión doble. Esto se debe a que el sustrato posee dos dopantes en su sustrato como se observa en la *Figura 3.IX*. Este tipo de transistores también son conocidos como *LDMOS* esta implementado en algunas *wafer foundries* como *XFAB*. También es posible encontrarlo en procesos de fabricación de *carburo de silicio* como componente individual.

La *Figura 3.IX*, describe de manera gráfica estructura básica de un transistor *DMOS*:

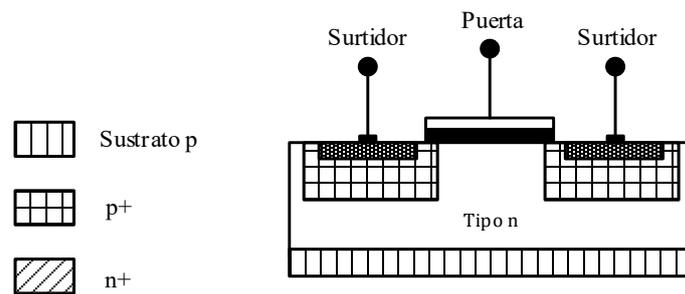


Figura 3.IX: Descripción básica de una estructura *DMOS* [29].

DESCRIPCIÓN DE UNA ESTRUCTURA DE UN TRANSISTOR *FET*

Esta clase de transistores conocidos por las siglas *FET* (Transistores de efecto campo), se caracteriza por actuar como un interruptor, activando o desactivando el paso del corriente del drenador al surtidor dependiendo del voltaje en la puerta. Este tipo de estructuras se pueden encontrarse en procesos nodos tecnológicos *CMOS* como *180nm*, *110nm* *130nm* o *90nm* [21] o en componentes individuales fabricados con tecnologías: *silicio* para aplicaciones standard, *carburo de silicio (SiC)* para aplicaciones de alta potencia y *arseniuro de galio (GaAs)* donde sus aplicaciones principales están en componentes de radiofrecuencia y microondas.

La *Figura 3.X*, describe de manera gráfica estructura básica de un transistor *FET*:

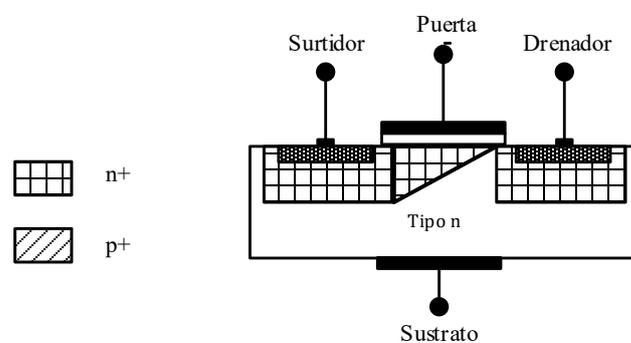


Figura 3.X Descripción básica de una estructura de un transistor *FET* [32].

Dentro de los transistores de efecto campo existen diferentes variaciones de la misma tecnología dependiendo de su proceso tecnológico.

Dependiendo del tipo de sustrato se pueden clasificar en transistores de *tipo p* o de *tipo n*. A continuación, se muestra de manera gráfica (*Figura 3.XI*) la diferencia que existe entre un transistor de *tipo p* y *tipo n* en modo de mejora o *Enhancement* en inglés donde no existe una capa intermedia entre el pin del sustrato, el *drenador* y *surtidor*. En este tipo de transistores, el voltaje en la puerta al crear una acumulación de carga positiva o negativa entre el *drenador* y *surtidor* permite la activación o desactivación del transistor, la polaridad de este voltaje depende si el transistor *FET* es de *tipo p* o *tipo n*.

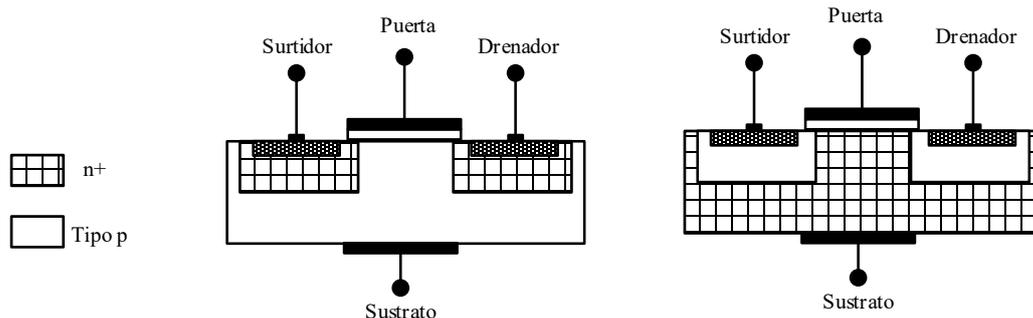


Figura 3.XI: Ejemplo de transistores en modo de mejora (Izquierda) *Tipo p* izquierda *Tipo n* [32].

La *Figura 3.XII*, muestra de manera gráfica la diferencia en entre un transistor de *tipo p* y *tipo n* en modo de agotamiento o *depletion* en inglés, donde existe una capa intermedia entre el pin del sustrato y el *drenador* y *surtidor*. Esta capa conocida como canal puede ser de *tipo n* o *tipo p* dependiendo del tipo de transistor. En este tipo de transistores, el voltaje en la puerta, al crear una acumulación de carga positiva o negativa entre el *drenador* y *surtidor* permite la activación o desactivación del transistor, la polaridad de este voltaje depende si el transistor *FET* es de *tipo p* o *tipo n*. La principal diferencia con los transistores en modo de mejora, está en que, dependiendo si el *FET* es *tipo o tipo n* la activación o desactivación requiere un voltaje negativo en la puerta.

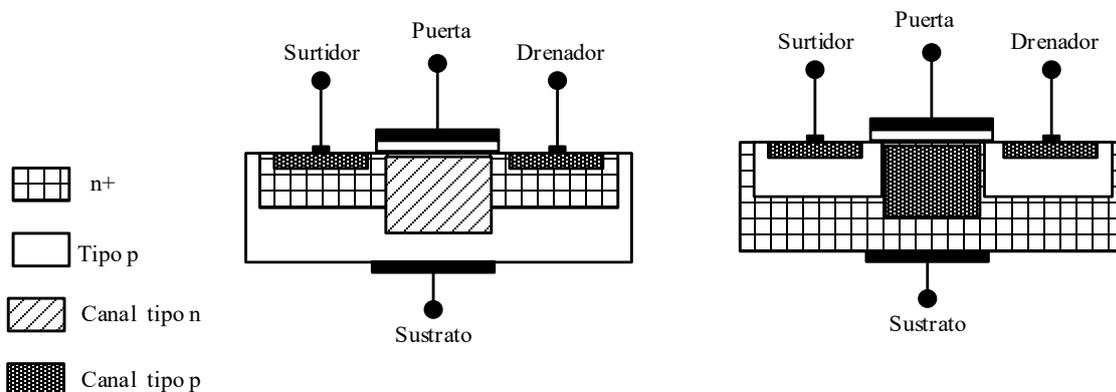


Figura 3.XII: Ejemplo de transistores en modo de agotamiento (Izquierda) *tipo p* izquierda *tipo n* [32].

DESCRIPCIÓN DE UNA ESTRUCTURA DE UN DIODO COMÚN Y UN DIODO LED

Los diodos son componentes electrónicos simples que permiten el paso de la corriente solo en una dirección. Existe una clasificación muy extensa de este tipo de componentes, que se caracterizan por la unión de un sustrato de *tipo p* y *tipo n*. Dentro de la tecnología de diodos, los diodos *LED* o *Light Emiting Diodes*, son los que poseen una combinación estructural más compleja, debido a que emiten luz de diferentes colores. Esto hace que se integren procesos tecnológicos diferentes, como los sustratos de *Saphine*, que tienen una excelente conductividad térmica.

La *Figura 3.XIII* se describe de manera gráfica estructura básica de un diodo *LED*:

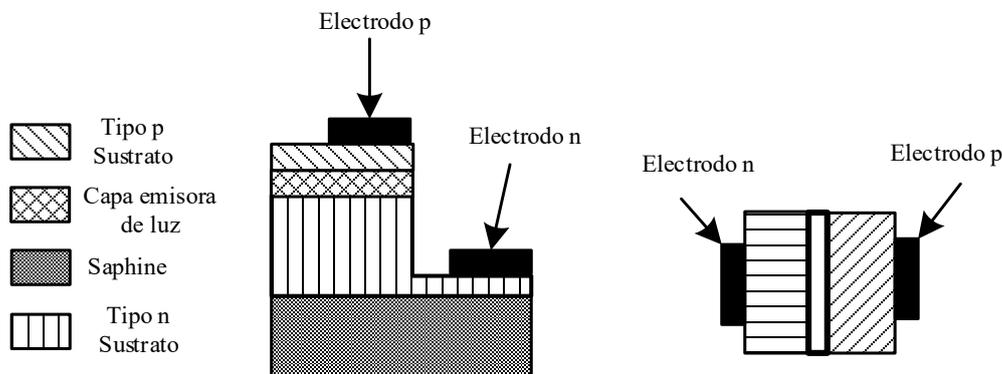


Figura 3.XIII: Ejemplo de la estructura de un diodo *LED* (*Izquierda*) diodo *-pn* tradicional (*Derecha*) [29].

3.4 FASE DE METALIZACIÓN DE LA OBLEA

Una vez finalizada la fase de fabricación de las estructuras de cada proceso tecnológico, éstas quedan impresas en la superficie de la oblea. Sin embargo, cuando se requiere que estas estructuras posean una funcionalidad conjunta, como ocurre con los bloques analógicos y digitales de un circuito integrado, estas estructuras se han de interconectar.

La interconexión metálica de diferentes estructuras de un nodo tecnológico se conoce como metalización.

El proceso de metalización varía dependiendo del material selección para la interconexión. A continuación, se muestra de manera gráfica un grupo de estructuras *CMOS* en el cual se ha seguido un proceso de metalización en dos capas [33].

- ✓ *Metalización basada en Aluminio y Tungsteno o Reactive Ion Etching:* Durante la fase inicial, se deposita una capa de metal sobre toda la superficie de la oblea. Posteriormente mediante la fotomáscara correspondiente a la capa, se elimina la parte de metal sobrantes de manera selectiva. Posteriormente se cubre la oblea con dieléctrico utilizando la fotomáscara para imprimir las posiciones de las vías en la capa del dieléctrico. Este mismo proceso, se repite sucesivamente con las capas metálicas siguientes. Este proceso, se basa en el uso de los patrones positivos de la fotomáscara.
- ✓ *Metalización basada en Cobre o Damascene:* Durante la fase inicial, se deposita una capa de dieléctrico en toda la oblea. Posteriormente, con el uso de la fotomáscara correspondiente a la capa se elimina las partes sobrantes de los patrones de la capa de dieléctrico. A continuación, se hace una deposición de cobre sobre toda la superficie de la oblea. Posteriormente, para eliminar las partes sobrantes se utiliza un proceso conocido como *CMP* o Proceso Mecánico de aplanado para ajustar la superficie de la oblea. Este proceso, se basa en el uso de los patrones negativos de la fotomáscara.

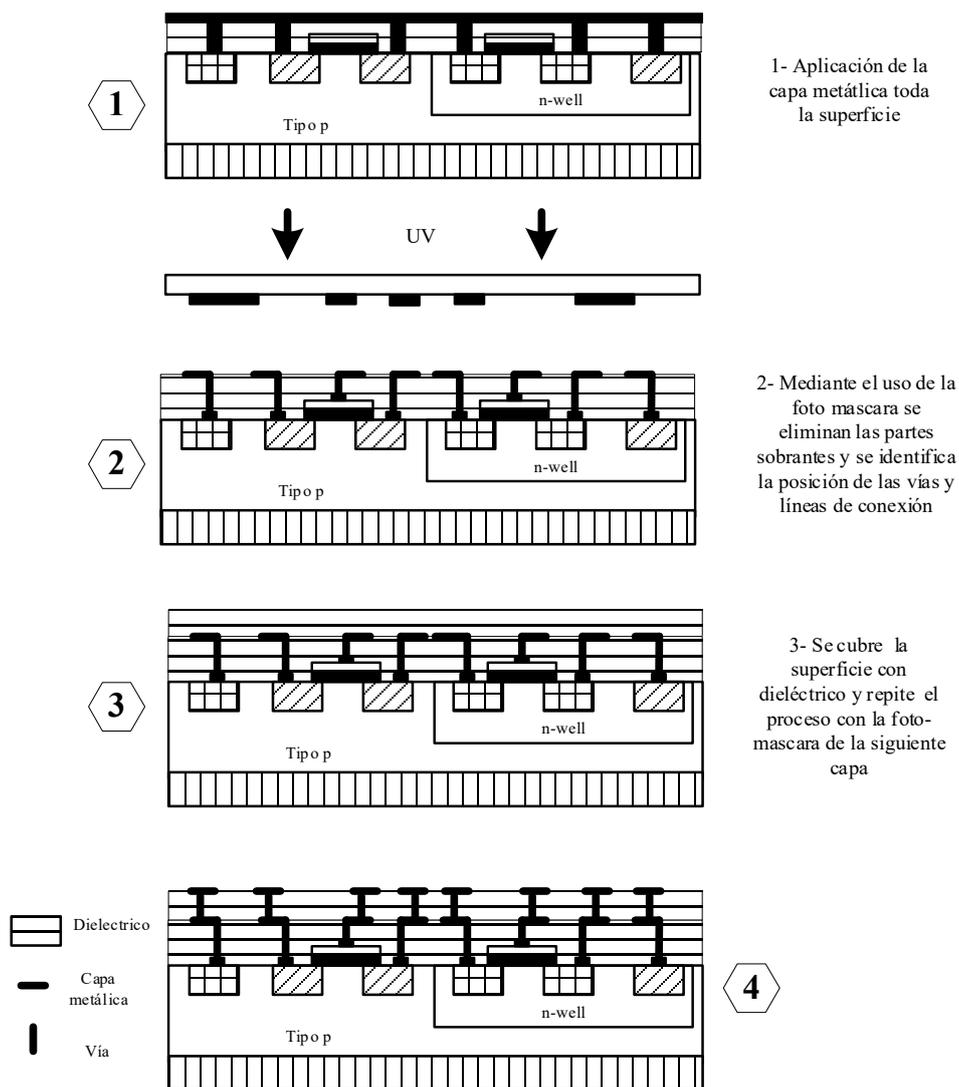


Figura 3.XIV: Resultado básico de un proceso de metalización basada en *Reactive Ion Etching* [33].

3.5 DESCRIPCIÓN DE LA ESTRUCTURA DE UNA OBLEA

La oblea con el circuito integrado o un componente impreso en ella, es el producto de salida de la *fase de fabricación 2*. La selección del tipo de oblea y sus características, así como proceso de fabricación, se realiza durante la fase de diseño del circuito integrado o cuando se ponen en producción.

En la *Tabla 3.II*, se detallan los tipos de obleas más comunes clasificadas según el material semiconductor del sustrato. Los puntos más importantes considerados para esta clasificación son los siguientes:

- ✓ Material principal de la oblea, ya que define su aplicación principal.
- ✓ Método de crecimiento: Estos métodos se detallan en el *capítulo 1*.

Tabla 3.II: Clasificación de los tipos más comunes de obleas según la aplicación [34].

Material	Método Cr.	Descripción genérica
Obleas de <i>silicio</i>	<i>CZ, FZ</i>	Tipo de obleas, están ampliamente usadas en la fabricación de circuitos <i>CMOS</i> . Su modo de clasificación se basa en el método <i>Miller</i> .
Obleas <i>SOI</i>	<i>CZ, FZ</i>	Este tipo de obleas, están especialmente usadas en la tecnología <i>SOI (Silicon on Insulator)</i> , <i>MEMS</i> y dispositivos ópticos.
Obleas <i>SOS</i>	<i>FZ</i>	Obleas <i>SOS (silicon on sapphire)</i> . Este tipo de obleas, se utilizan en componentes que requieren un alto aislamiento.
Obleas de <i>Sapphire</i>	<i>Método Kyropoulos</i>	Este tipo de obleas, se utilizan principalmente en la fabricación de circuitos ópticos.
Obleas de <i>SiC</i> y <i>AlN</i>	<i>PVT</i>	Obleas de <i>carburo de silicio</i> y <i>nitruro de aluminio</i> . Este tipo de obleas se utilizan principalmente en la fabricación de componentes de alta potencia, como transistores y el caso de las obleas de nitruro de aluminio en dispositivos <i>MEMS</i>
Obleas de <i>GaAs</i>	<i>VGF</i>	Obleas de <i>arseniuro de galio</i> . Este tipo de obleas se utilizan en la fabricación de sistemas de radiofrecuencia y microondas ya que el galio tiene un bajo factor <i>Bandgap</i> .
Obleas de <i>GaN</i>	<i>MOCVD</i>	Obleas de <i>nitruro de galio</i> . Este tipo de componentes se utilizan en aplicaciones de alta temperatura.

Tabla 3.II: Clasificación de los tipos más comunes de obleas según la aplicación [34].

Material	Método Cr.	Descripción genérica
Obleas <i>InP</i>	<i>VGF</i>	Obleas de <i>fosfuro de indio</i> . Este tipo se utilizan en tecnología y <i>LEDs</i> .
Obleas de <i>Al</i>	<i>MOCVD</i>	Obleas de <i>aluminio</i> Se utilizan como sustrato en diodos de alta potencia.
Obleas de <i>SiGe</i>	<i>CZ</i>	Obleas de <i>silicio germanio</i> . Estas obleas se utilizan en combinación con el <i>silicio</i> para la fabricación de transistores y otro de componentes como <i>LEDs</i> .
Obleas de <i>Ge</i>	<i>CZ</i>	Obleas de <i>germanio</i> .
Obleas de <i>Grafeno</i>	<i>CVD</i>	Tecnología en proceso de investigación. Se basa en depositar <i>grafeno</i> sobre <i>silicio</i> para incrementar los rangos de corriente y voltaje.
Obleas de <i>InSb</i>	<i>CZ</i>	Obleas de <i>antimoniuro de indio</i> . Este tipo de obleas se utilizan en la fabricación de componentes para la detección de imágenes y en componentes de radiofrecuencia.
Obleas de <i>ITO</i>	<i>CVD</i>	Obleas de <i>óxido de indio y estaño</i> . Estas obleas son usadas en el campo de la optoelectrónica principalmente.
Obleas de <i>LiNbO3</i> y <i>(LiTaO3)</i>	<i>CZ, FZ</i>	Obleas de: <i>niobato de litio (LiNbO3)</i> y <i>tantalato de Litio (LiTaO3)</i> . Este tipo de materiales están bajo investigación para aplicaciones piezoeléctricas y fotónica.
Obleas de <i>crystal cuarzo y similares</i>	<i>CZ, VGF</i>	Este tipo de obleas se aplican en tecnológica que requiere un sistema transparente como fotónica, <i>LEDs</i> o <i>MEMS</i> . Dentro de este grupo se engloban las obleas <i>D263</i> o <i>Gorilla</i> .

Las partes más básicas de una oblea después de un proceso de impresión litográfica son los siguientes:

- ✓ *Método de alineamiento:* aunque este método puede variar entre el uso de una zona plana o una muesca, el objetivo tener un punto de fijación para los instrumentos usados en la *Fase de Calidad 1*. Este tipo de alineamiento puede variar dependiendo de la orientación de corte establecida por el método de *Miller* detallado en la *Fase de Fabricación 1*.
- ✓ *Posición del chip de silicio:* La posición y distribución de los *chips* a lo largo de la oblea se establece durante la fase de fabricación de la fotomáscara.
- ✓ *Scribe Line:* Es la región entre los *chips* de *silicio* donde se encuentran las estructuras básicas en el diseño del *chip*. Estas estructuras se utilizan en *Fase de Calidad 1*.

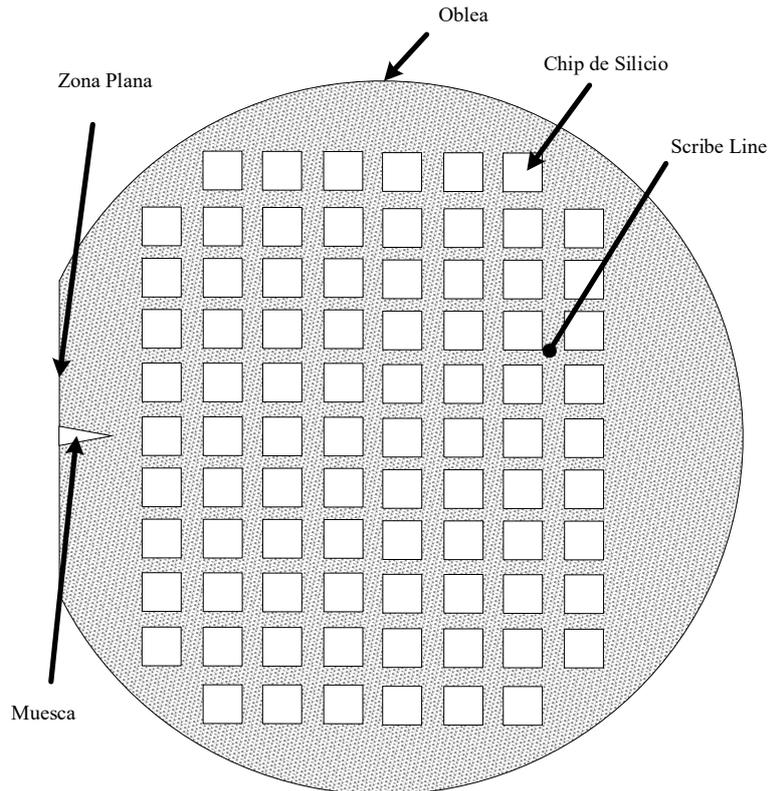


Figura 3.XV: Partes básicas de una oblea [34].

3.6 PROVEEDORES DE TECNOLOGÍA

Esta fase del proceso de producción se puede dividir en tres tipos de empresas:

- ✓ *Empresas de fabricación tecnológica:* estas empresas se centran en la creación tecnología, instrumentos y máquinas de precisión durante cada una de las fases de la impresión litográfica. Algunas de las suministradoras más comunes de este tipo de tecnología detallan a continuación (*Tabla 3.III*):

Tabla 3.III: Proveedores de tecnología para la fase de fabricación 1 [17].

Equipo	Suministrador
Tecnología de impresión litográfica	ASML o Karl Zeis.
Implantación de iones	Applied materials, Thermo Fisher, Nission Ion equipment and Co. o Axcelis.

- ✓ *Empresas especializadas en la fabricación de circuitos integrados:* estas empresas, poseen instalaciones donde unen cada uno de los pasos de fabricación con diferentes tecnologías y maquinaria para crear su propio nodo y proceso tecnológico. Este tipo instalaciones, poseen un control minucioso de todos los parámetros, tanto biológicos, químicos o medioambientales, para tener un alto rendimiento de producción. Estas empresas están especializadas en el proceso de fabricación. Algunas son muy conocidas y se nombran varias veces a lo largo del libro.

Tabla 3.IV: Proveedores de tecnología para la *fase de fabricación 1* [17].

Tecnología	Suministrador
CMOS, BICMOS, BDMOS, SiC, SOI o FinFET	TSMC (Taiwan Semiconductors), Imec, TPSCO XFAB, Dongbu HITEK, Fraunhofer Institute o Global Foundries.
Tecnología de fabricación MEMS	Pacific Microsystems, Inc, Atómica, C2MI, Fraunhofer Institute o CEA Let.
Tecnología GaAs de Microondas y RF	Dongbu HITEK o BAE Systems.

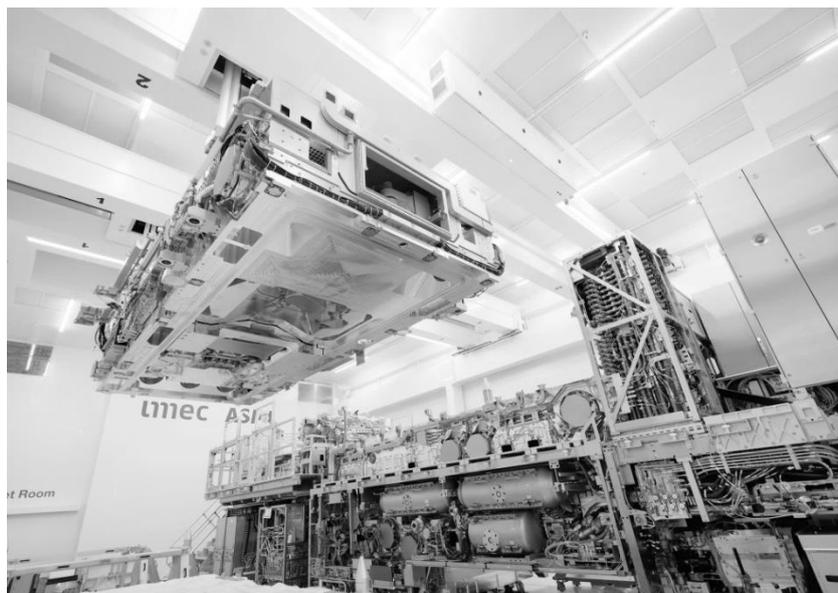


Figura 3.XVI: Ejemplo de instalación de un sistema de procesado litográfico TWINSCAN EXE: 5000, instalado en el IMEC en Veldhoven. Imagen con copyright de ASML [6].

- ✓ *Empresas que controlan la fase de fabricación 2:* Existen compañías, que crean su propia tecnología, y controlan por completo su proceso de fabricación e impresión litográfica dentro de sus instalaciones sin externalizar esta fase de su proceso de fabricación. Algunas de ellas, son muy conocidas como es el caso de *Infineon* [35], *Texas Instruments* [36], *Intel* [37], *AMS OSRAM* [38] o *Analog Devices* [39]. Esta información normalmente es pública y detallada en los informes de cualificación de sus componentes electrónicos.

CAPÍTULO 4

4.

FASE DE CUALIFICACIÓN 1: DESCRIPCIÓN DEL PROCESO DE CUALIFICACIÓN DE NIVEL 1

La organización de estandarización *JEDEC*, dentro de sus procedimientos, nombra esta fase de cualificación como *cualificación de nivel 1*. Esta fase de cualificación, está a cargo de la fábrica encargada de la impresión del circuito integrado o componente electrónico en las obleas correspondientes. El objetivo principal de esta fase de cualificación es el estudio de la fiabilidad tecnológica de las estructuras usadas en el nodo tecnológico, como pueden ser las estructuras *CMOS*, *MEMS*, *RF MOS*, *BICMOS*, *BDCMOS* o cualquier otra de las mencionadas en el capítulo 3 en que se describe *la fase de fabricación 2*.

4.1 AVANCE DEL CAPÍTULO

En este capítulo se abordan los siguientes puntos:

- ✓ Consideraciones de los cambios tecnológicos en la *Fase de Cualificación 1*.
- ✓ Descripción de las pruebas eléctricas de la *fase de cualificación de 1*.
- ✓ Caracterización del proceso de test *PCM (Process Control Monitoring)*.
- ✓ Análisis de construcción.

4.2 CONSIDERACIONES DE LOS CAMBIOS TECNOLÓGICOS EN EL PROCESO DE CUALIFICACIÓN DE 1

La creación de componentes con mejores capacidades funcionales conlleva cambios en los procesos de fabricación y tecnologías utilizadas, y esto requiere un estudio de su fiabilidad. Un caso de salto tecnológico está en la fabricación tradicional *bulk-CMOS* y la *tecnología SOI* la cual posee ventajas funcionales importantes sobre todo en rangos de frecuencias. Pero el poseer ventajas tecnológicas funcionales, no significa que sean fiables a largo plazo.

El reto la *Fase Cualificación 1* radica en estudiar la fiabilidad tecnológica de estos nuevos procesos de fabricación de una manera estandarizada y común. Generalmente el proceso de *Cualificación de Nivel 1* se puede dividir en cuatro grupos de pruebas:

- ✓ *Cualificación funcional de las estructuras del nodo tecnológico*: Durante esta fase de cualificación, las estructuras se estudian mediante test específicos que analizan sus curvas de funcionamiento específicas y la respuesta ante cambios de voltaje programados.
- ✓ *Cualificación del proceso mediante el uso de un vehículo de cualificación*: El objetivo de este grupo de pruebas, es integrar todas las estructuras del proceso tecnológico en un componente que permita estudiar su ciclo de vida.

- ✓ *Caracterización de los test PCM de la fase de calidad 1*: Este grupo de test eléctricos y caracterización, se centra exclusivamente en las estructuras localizadas en el *Scribe line* de la oblea.
- ✓ *Análisis de construcción*: Esta información es proporcionada por la empresa encargada de la fabricación de las obleas, esto permite al equipo encargado de la fase de diseño entender si su producto encaja en las reglas de diseño.

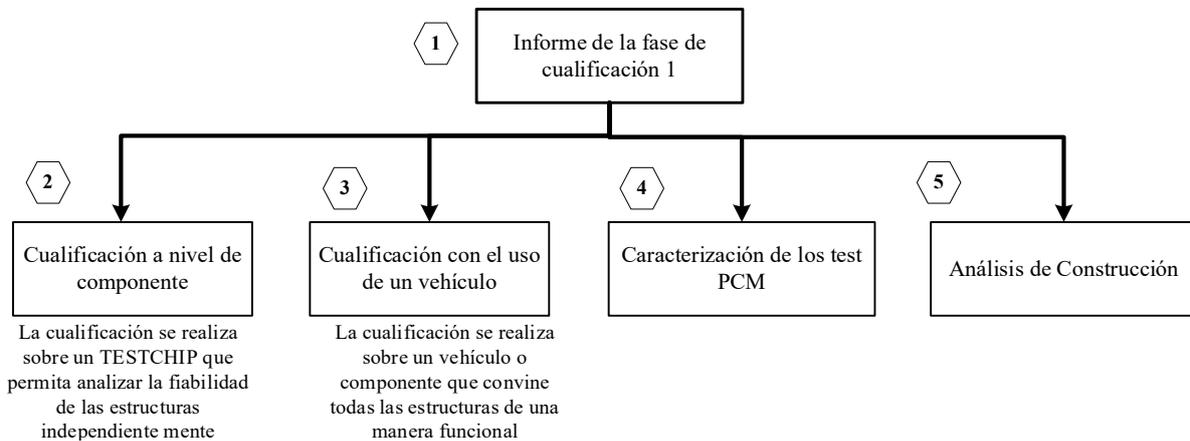


Figura 4.I: Contenido del informe de la *Fase de Cualificación 1* [40].

4.3 DESCRIPCIÓN DE LOS TEST ELECTRICOS DE CUALIFICACIÓN DE NIVEL 1

El proceso de cualificación de nivel 1, se caracteriza por el uso de *TESTCHIP*. Un *TESTCHIP*, es un componente básico que integra la estructura que se desea cualificar ya sea un transistor *CMOS*, un diodo o cualquier otra estructura. Este procedimiento está inicialmente registrado en el procedimiento *JEDEC JP001* [41] [40] (*Foundry Process Qualification Guidelines*). El procedimiento *JP001* [40] [41], establece técnicas de caracterización y estudio comunes para diferentes tipos de tecnología como puede ser: *CMOS*, *BICMOS*, *BDCMOS* o transistores de potencia. Puede darse el caso que un tipo de componente o estructura no posea un procedimiento de estudio estandarizado por *JEDEC*. En este caso el procedimiento ha de ser creado específicamente para esa estructura, documentarlo y detallar sus resultados en el informe de cualificación pertinente.

Estudio de los mecanismos de degradación principales: estas pruebas y sus procedimientos están estandarizados por la organización *JEDEC*. Estos procedimientos, permiten el estudio de los mecanismos de degradación para diferentes procesos de fabricación como son: *Bulk-CMOS*, *SOI*, *arseniuro de galio (GaAs)*, *nitruro de galio (GaN)* o *carburo de silicio (SiC)*. Como se describe en el procedimiento *JP001* [40] el número de muestras usadas en el proceso de *cualificación 1* ha de provenir de 3 lotes no consecutivos. A continuación (*Tabla 4.I*), se detallan los mecanismos de fallo más comunes que se pretenden analizar y el procedimiento a seguir para su estudio:

Tabla 4.I: Procedimientos y mecanismos de degradación registrados por JEDEC (Ver Apéndice C) [40].

Prueba	Procedimiento de medición	Descripción
HCI	[42]	HCI: <i>Hot Carrier Injection</i>
NBTI/PBTI	[43]	NBTI: <i>Negative bias temperature instability</i>
	[44]	PBTI: <i>Positive bias temperature instability</i>
TDDDB	[45]	TDDDB: Low-k time dependent dielectric breakdown
EM	[46]	Electromigración o <i>Electromigration</i>
	[47]	
Bias Temperature Stress	[48]	Estrés de temperature
Triangular voltage sweep (TVS)	NA	Generación de un voltaje triangular se puede intercambiar los procedimientos de prueba NBTI/PBTI.
Charge to Breakdown	[49]	Carga a rotura del transistor
	[50]	

El crear un *TESTCHIP*, [40] que se ha de analizar a nivel tecnológico, requiere la creación de una tecnología que puede englobar: La creación un *hardware*, la adquisición de unos instrumentos y la programación de un sistema de pruebas. Además, todo ello ha de crearse dentro de unos altos estándares de calidad.

El *Capítulo 5.4.* describe un procedimiento genérico para crear un sistema de pruebas automatizado de alta precisión. Este procedimiento puede ser utilizado en *la Fase de Cualificación 1.*

4.3.1 DESCRIPCIÓN GENERAL DE UN PROCESO DE CUALIFICACIÓN DE NIVEL 1 MEDIANTE UN VEHÍCULO DE CUALIFICACIÓN

El proceso de *cualificación de nivel 1* se realiza mediante el uso de un vehículo. Un vehículo, es un circuito integrado que integra todas las estructuras de un nodo tecnológico. Esto esta inicialmente registrado en el procedimiento *JEDEC JP001.01* [40]. Estos informes son considerados altamente confidenciales los cuales son proporcionados a las empresas de diseño bajo petición por parte de la empresa encargada de la *fase de fabricación 1* cuando se posee un circuito en producción en su nodo tecnológico. El informe de cualificación de *nivel 1* ha de ser incluido en la documentación interna de la *fase de cualificación 2.*

Al igual que el proceso de cualificación 2, las muestras utilizadas en el proceso de cualificación 1 han de provenir de 3 lotes no consecutivos que se fabrican sobre el mismo proceso de fabricación.

Método de cualificación tecnológica: Las estructuras electrónicas suministrados por la fábrica de obleas, deben integrarse dentro un producto que permita estudiar su fiabilidad a largo plazo. Una de las técnicas más comúnmente utilizadas es la creación de circuitos integrados o *Vehículo de prueba* en forma de memorias *RAM*. Este circuito integrado especialmente creado

para este propósito, es usado en este estudio de fiabilidad. Algunos de las pruebas a las que se ha de someter se detallan a continuación (*Tabla 4.II*):

Tabla 4.II: Grupo de pruebas más comunes de la *Fase de Cualificación 1* [40].

Tipo de prueba o test	Aplicación
Estudio de vida temprana	Los test más comúnmente utilizados para este tipo de estudios es <i>ELFR</i> [51]
Cambios de ciclos de temperatura	El test conocido como <i>Temperature cycling</i> detallado en el procedimiento <i>JESD22-A104</i> . [52]
Test medioambientales	Las pruebas más comunes usadas en este estudio son: <i>Temperature-humidity-bias (THB)/highly accelerated stress prueba (HAST)</i> . [53]
Descarga electrostática	Las pruebas más comunes usadas en este estudio son las detalladas en el procedimiento: <i>JS-001 Human Body Model ESD test Method</i> . [54]
<i>Latch up</i> Enclavamiento	Los test más comunes usadas en este estudio son las detalladas en el procedimiento: <i>JESD78, IC Latch-Up test</i> . [55]

Los grupos de pruebas usadas en el proceso de cualificación son similares a las usadas en la *Fase de Cualificación 2*. La diferencia es el vehículo usado para el estudio de cualificación. Basado en esto se pueden dar dos escenarios:

- ✓ *La empresa encargada de fase de fabricación 2 es diferente la empresa encargada de la fase de diseño 1:* En este caso el vehículo usado para un estudio de cualificación de nivel 1 ha de desarrollar sobre un producto electrónico generalista como podría ser una memoria *RAM*. Esto se debe a que los productos puestos en fase de fabricación por empresas especializadas en el diseño, son generalmente confidenciales. El procedimiento de cómo abordar un proceso de cualificación de nivel 1 cuando a empresa encargada de fase de fabricación 2 es diferente la empresa encargada de la fase de diseño es idéntico al procedimiento detallado en el *Capítulo 8*.
- ✓ *La empresa encargada de fase de fabricación 2 es la misma que la empresa encargada de la fase de diseño 1:* En este caso el proceso de *cualificación de nivel 1* se simplifica altamente ya que el informe de cualificación de nivel 1 se puede sostener sobre cualquiera de los circuitos integrados fabricados en ese nodo previamente.

4.4 CARACTERIZACIÓN DE LOS TEST *PCM (PROCESS CONTROL MONITORING)* DE LA FASE DE CALIDAD 1

El procedimiento de caracterización a nivel proceso es esencial ya que permite un análisis completo del proceso, personal a cargo, entorno y tecnología. El estándar *JEDEC JEP132A.01* [56] define las pautas básicas para realizar un proceso de caracterización. Un estudio generalista de caracterización tecnológica consta de las siguientes fases:

- ✓ *Descripción del proceso:* Durante esa fase se analizan los parámetros clave y los límites que determinan la calidad del proceso. Para este estudio se utilizan las pruebas de calidad implementadas en la fase de prueba *PCM (Process Control Monitoring)*. El estándar *JEP001* [40] establece algunos de los requisitos más comunes para la

tecnología *CMOS*. Estos requisitos pueden variar si se trata otro tipo de tecnológica como dispositivos ópticos o *MEMS*, o componentes individuales. El estándar *JEDEC* no cubre todas posibilidades tecnológicas. El crear una prueba específica para un producto nuevo requiere un procedimiento que engloba los mismos puntos detallados en *capítulo 4.3*. A continuación se detallan los tipos de pruebas recomendadas por *JEDEC* para la tecnología *CMOS* analógica y digital.

Tabla 4.III: Requisitos básicos de análisis para un proceso de caracterización de tecnología *CMOS* [40].

Tipo de circuito	Tipos de prueba
Requisitos para circuitos digitales	Puntos de análisis mínimos recomendados:
	✓ Caracterización de todos los parámetros eléctricos de los transistores.
	✓ Aislamiento de la capa <i>poly (poli-silicio)</i> y <i>metal 1</i> en la metalización.
	✓ Resistencia de los transistores.
	✓ Diferentes capacitancias de los transistores.
	✓ Integridad de la puerta del transistor.
	✓ Integridad de las estructuras metálicas.
	✓ Estudio de portadores de calor (<i>HCI</i>).
	✓ Contaminación iónica.
	✓ <i>NBTI</i> .
✓ <i>P2ID: Short Fowler-Northeim stress o</i>	
Requisitos para circuitos analógicos o mixtos	Puntos de análisis mínimos recomendados:
	✓ Caracterización de todos los parámetros eléctricos de los transistores.
	✓ Características de los condensadores incrustados en las capas.
	✓ Características de las resistencias.
✓ Características de los transistores bipolares si los hubiera.	

- ✓ *Construcción:* Durante esta fase del proceso de cualificación, se determina como se ejecuta el proceso. Esto puede conllevar, selección de personal, equipamiento y materiales.
- ✓ *Determinar los parámetros de medición:* Una vez establecidos los requisitos, se han de establecer los test que los identifican. El estudio de un requisito puede suponer la creación de diferentes puntos de prueba.
- ✓ *Ejecutar análisis de estabilidad:* Antes de comenzar un proceso de cualificación, se ha de identificar la estabilidad del sistema y del proceso. Esto permite garantizar resultados más fiables, reduciendo los efectos externos. Uno de los procedimientos más comunes es el descrito en el procedimiento de la organización *IPC IPC-TM-650 [57] (Test Methods Manual)*.
- ✓ *Adquisición de datos:* Durante esta fase, se analizan los datos administrados en test independientes. El análisis de datos supone: Identificación si el proceso cumple los requisitos establecidos, identificar en que partes se necesita una mejora y establecer límites de control que permitan una monitorización continua.

4.5 ANÁLISIS DE CONSTRUCCIÓN

Este estudio de cualificación, permite identificar las características físicas de los materiales y de los procesos de fabricación de los circuitos integrados. Uno de los objetivos principales, es la examinación física del componente electrónico para verificar que cumple las reglas de fabricación. A continuación (*Tabla 4.IV*), se resumen algunas de las pruebas necesarias dentro de este proceso de cualificación:

Tabla 4.IV: Análisis de construcción para el para la *Fase de Cualificación 1* [40].

Parámetro	Aplicación
Muestras	Al menos 1 muestra de 3 lotes no consecutivos
Estructuras	Visión superficial con el microscopio <i>SEM</i> de todas las capas. Corte seccional de la estructura donde se pueda apreciar todas las capas de metalización.
Método	Fotos de las diferentes posiciones del circuito. Análisis con microscopio de escaneado (<i>SEM</i>) de cada capa. Análisis con microscopio de Transmisión (<i>TEM</i>) de las puertas de los transistores

CAPÍTULO 5

5.

FASE DE CALIDAD 1: CONTROL DE CALIDAD DE LAS OBLEAS CON EL CIRCUITO INTEGRADO O COMPONENTE

El producto de entrada en la *Fase de Calidad 1*, son las obleas finalizadas con circuito integrado y así como todos los componentes anexos impresos, provenientes de la *Fase de Fabricación 2*. Durante esta fase se trata de garantizar tanto la calidad del proceso de fabricación de las obleas como la funcionalidad del circuito integrado.

El proceso de la *Fase de Calidad 1* se divide en dos fases. Cada una de estas fases tienen similitudes pero los objetivos buscados son diferentes además del personal responsable de su creación, control y monitorización.

- ✓ *Fase prueba del proceso de producción*: Esta fase de test o prueba tiene la función de controlar la calidad del nodo tecnológico mediante un grupo de pruebas conocidas como *WAT (Wafer Acceptance Testing)* o *PCM (Process Control Monitoring)* [58]. Estas pruebas funcionales y eléctricas garantizan la funcionalidad de las estructuras del nodo tecnológico, algunas de las cuales están detalladas en el *Capítulo 3*. Algunas de las pruebas eléctricas recomendadas para la tecnología *CMOS* se han detallado en el *capítulo 4.4* de la *Fase de Cualificación 1*. Esta fase de calidad se realiza generalmente en las instalaciones del *Wafer Foundry*.
- ✓ *Fase de prueba del producto*: Esta fase de test tiene la función de controlar la calidad funcional del circuito integrado una vez terminado el proceso de impresión litográfica y metalización en la oblea. Esta fase de calidad se realiza generalmente en las instalaciones donde se realiza el empaquetado del circuito integrado o componente electrónico.

La división de responsabilidades durante esta fase del proceso de producción, depende de la arquitectura de producción usada. Se pueden dar los siguientes supuestos:

- a. Que la empresa encargada del diseño del circuito integrado posea capacidad tecnológica para controlar la *Fase de Fabricación 2* dentro de sus propias instalaciones o dentro de su arquitectura empresarial. Este tipo de empresas se conocen como *Fab companies*. En este modelo empresarial la división de responsabilidades del *Fase de Calidad 1* sería del siguiente modo.

Tabla 5.I: División de responsabilidades de la *Fase Fabricación 2* en empresas con capacidad de fabricación y diseño de circuitos integrados [3] [59].

Fase de prueba	Lugar de ejecución	Equipo responsable de cada sub-fase
Test de las obleas <i>WAT/PCM</i>	<i>Wafer foundry</i>	Departamento de calidad o test dentro de las instalaciones de fabricación de obleas, dentro de la misma empresa. Ejemplo: Fabrica de obleas de <i>Texas Instruments</i> .
Test de los circuitos integrados a nivel de oblea	Generalmente en la ubicación de la <i>Fase de Fabricación 3</i>	Departamento de calidad o test dentro la línea de negocio o productos de la empresa, que ha puesto un diseño en producción dentro de sus propias instalaciones. [60]

Una *Fab Company*, provee de capacidad de impresión litográfica y fabricación para múltiples líneas de producto y departamentos dentro de su misma empresa. La empresa es la misma, pero el departamento a cargo es diferente.

- b. Que la empresa encargada del diseño del circuito integrado, no posea capacidad tecnológica para controlar la *Fase de fabricación 2* dentro de sus propias instalaciones o dentro de su arquitectura empresarial. Este tipo de empresas, se conocen como *Fabless companies* [61]. En este modelo empresarial la división de responsabilidades del *Fase de Calidad 1* sería [41] del siguiente modo.

Tabla 5.II: División de responsabilidades de la fase Fabricación 2 en empresas con capacidad de fabricación y diseño de circuitos integrados [3].

Fase	Lugar de ejecución	Equipo responsable de cada sub-fase
Test de las obleas <i>WAT/PCM</i>	<i>Wafer foundry</i>	Departamento de calidad o test de la empresa encargada de la fabricación de las obleas. Como puede ser por ejemplo: <i>TMSC</i> , <i>Global Foundries</i> o <i>XFAB</i> .
Test de los circuitos integrados a nivel de oblea	Generalmente en la ubicación de la <i>Fase de Fabricación 3</i>	Departamento de calidad o test dentro del equipo de diseño de la empresa que ha contratado los servicios de la <i>Fase de Fabricación 2</i> . Esta fase suele ser subcontratada a terceros. Esto se detalla en el <i>Capítulo 6</i> .

5.1 AVANCE DEL CAPÍTULO

En este capítulo se abordan los siguientes puntos:

- ✓ Descripción del sistema de test *WAT* o *PCM* [58].
- ✓ Descripción del sistema de test del producto electrónico a nivel de oblea.
- ✓ Procedimiento general de diseño de la arquitectura de test.

5.2 DESCRIPCIÓN DEL SISTEMA DE TEST *WAT O PCM*

La fase de prueba *PCM (Process Control Monitoring)*, tiene la función de determinar la calidad de las obleas a partir del análisis de las estructuras tecnológicas detalladas en la *Fase de Fabricación 2*. Durante la fase de impresión litográfica del circuito integrado, a parte de la impresión de la circuitería del producto electrónico, se imprimen las estructuras típicas del proceso tecnológico ya sea *CMOS, SOI, BICMOS*, o cualquier otra. Esta fase de prueba se ejecuta una vez finalizada la fase de impresión litográfica, metalización y acabado final de la oblea.

Estas estructuras se imprimen de manera repetitiva en la zona de la oblea conocida como *Scribe line*. Durante la fase de test *PCM*, estas estructuras se analizan en puntos determinados de la oblea, preseleccionados por la empresa encarga de la fabricación, lo que permite desechar todas aquellas obleas que posean rangos eléctricos fuera de los límites especificados para dichas estructuras. Esto permite seleccionar las obleas de mejor calidad para el siguiente paso dentro del proceso de fabricación y calidad.

La siguiente figura, muestra de manera gráfica las partes básicas de una oblea después de un proceso litográfico, y la localización de las estructuras usadas para la *Fase de Calidad 1*.

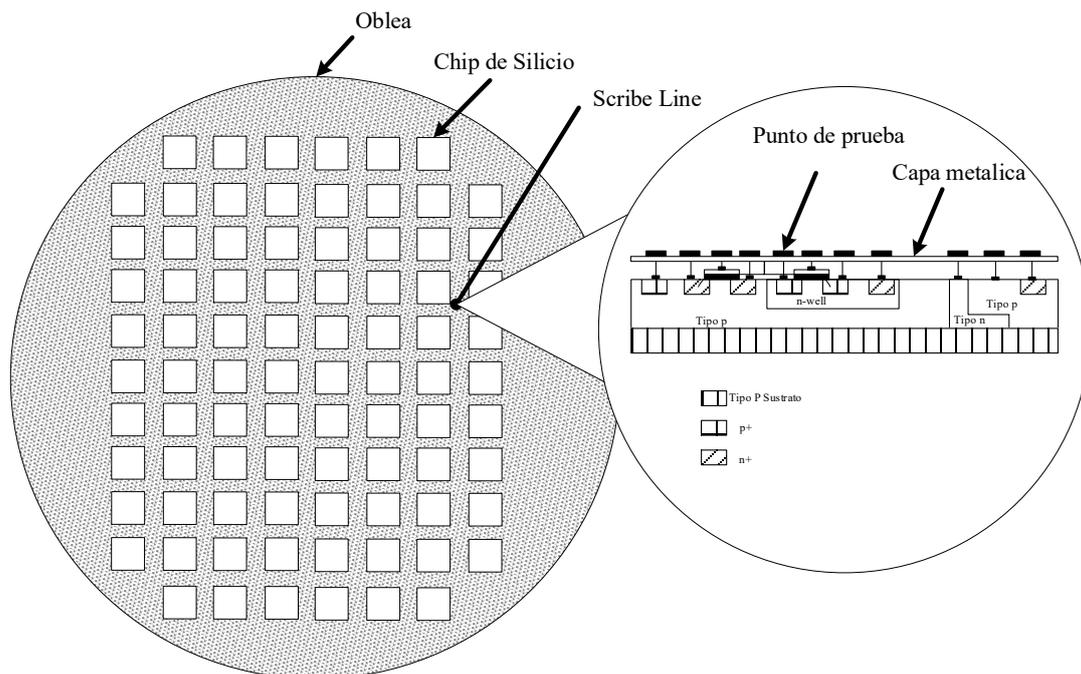


Figura 5.I: Descripción gráfica de la localización de las *estructuras PCM* y su localización en el Scribe line dentro de las oblea [62], [63].

5.2.1 ARQUITECTURA TEST USADOS EN LA FASE DE PRUEBA *PCM (PROCESS CONTROL MONITORING)*

La fase de prueba *PCM (Process Control Monitoring)*, no garantiza los parámetros eléctricos y calidad de un producto electrónico impreso en la oblea sino, que se prueba los parámetros eléctricos de las estructuras básicas del proceso de producción.

El diseño, conceptualización, selección tecnológica y alcance está a cargo de la empresa o departamento encargado de la fabricación de las obleas. Este test verifica la calidad del proceso de fabricación. Para poder acceder a estas estructuras de una manera eficaz se necesita una arquitectura de pruebas formada por al menos los siguientes componentes:

- a. *Tecnología de contacto*: Es el grupo de agujas encardas de crear una conexión eléctrica en los puntos de test en la oblea y la tarjeta de pruebas. Esta tecnología es crucial en el diseño de una arquitectura de pruebas a nivel oblea, ya que permite maximizar recursos al permitir probar diferentes áreas en paralelo.

La tecnología de contacto está formada por dos secciones de *hardware*:

Las agujas o sistema de contacto: las agujas de contacto son las piezas de *hardware* establecen la conexión física entre los puntos de prueba en la oblea y la cabeza de prueba.

La cabeza de prueba: pieza de *hardware* que actúa de interface de conexión entre las agujas y la tarjeta de prueba.

Este tipo de tecnología de prueba, es altamente especializada y muy cara ya que la selección de sus componentes está diseñada a medida para el producto que se desea estudiar. Existen varios proveedores de tecnología de contacto, pero los más conocidos en *Europa* son las empresas *Feinmetall* y *FormFactor*.

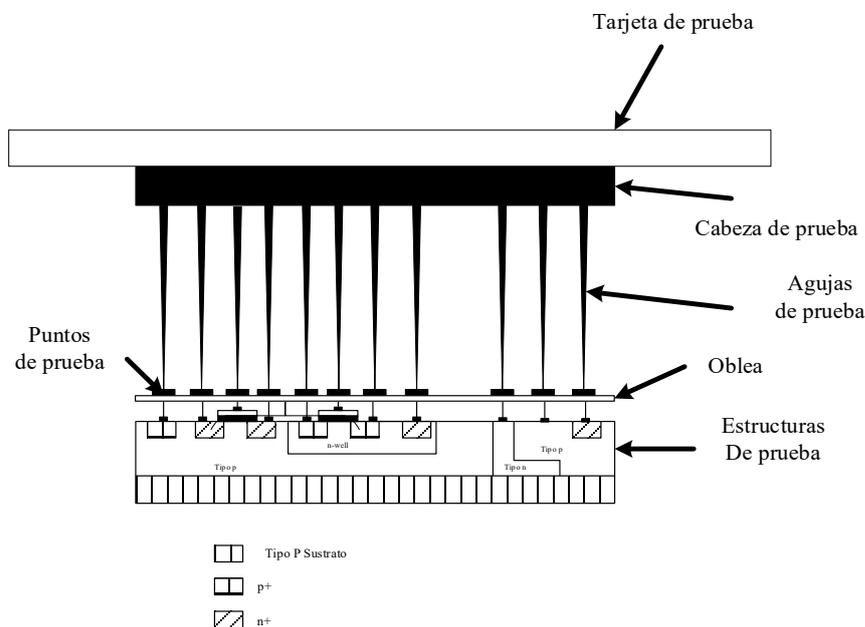


Figura 5.II: Ejemplo de sistema de contacto de una cabeza de prueba y los puntos de test en la oblea [62], [3] [59].

Actualmente, existen diferentes tecnologías de contacto, a continuación (*Tabla 5.III*) se resumen algunas de las comunes:

Tabla 5.III: Tipo de tecnología de contacto más comunes.

Tipo de tecnología	Descripción
<i>Cantilever</i>	En este tipo de tecnología las agujas salen directamente de un sustrato a los puntos de test con un ángulo determinado.
<i>Punto de prueba vertical</i>	En este tipo de tecnología las agujas salen directamente de un sustrato a los puntos de test de manera perpendicular.
<i>Tecnología de membrana</i>	Es un tipo de tecnología de contacto especialmente orientada a producto de radiofrecuencia.
<i>MEMS</i>	Esta tecnología de contacto esta especializa en sistemas de pruebas para tecnología <i>MEMS</i> .

- b. *Tarjeta de pruebas o “probe cards”*: Es la placa de circuito impreso que contiene la circuitería necesaria para probar las estructuras de la oblea. Esta tarjeta, está conectada a un equipo automatizado de pruebas que posee diferentes instrumentos de alta precisión. En algunos casos, la tarjeta de prueba puede contener instrumentos específicamente diseñados para probar las estructuras. Esto ocurre, cuando el sistema de pruebas por razones de costes, precisión o recursos no contenga los instrumentos necesarios.

Las tarjetas de pruebas han de ser diseñadas con espesores y materiales de fabricación no estandarizados. Esto se debe a que la placa ha de tener altas capacidades mecánicas además de alta fiabilidad a altas y bajas temperaturas. Generalmente, se fabrican lotes de 1 a 2 tarjetas de prueba. Este tipo de placas de circuito impreso se fabrican es proveedores especializados, debido a su espesor el cual es superior 1.6 mm. Algunos proveedores más conocidos que ofrecen servicios de fabricación para este tipo de tecnología en Europa son: *T.I.P.P.S*, *FormFactor* o *Technoprobe* [17].

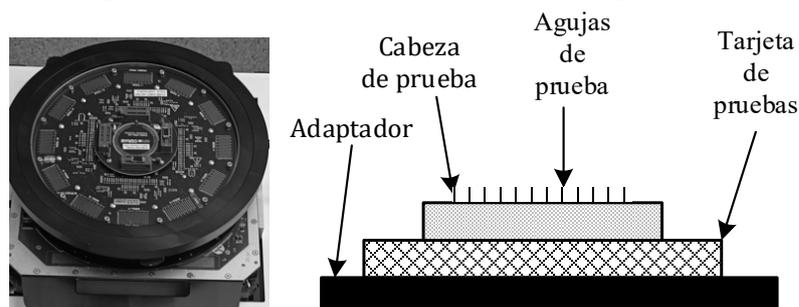


Figura 5.III: Ejemplo de tarjeta de pruebas con tecnología de contacto vertical [62].

- c. *Equipo o instrumento de pruebas automatizado*: Es un equipo de alta precisión con capacidad de automatización. Este tipo de equipos, contienen instrumentos organizados en ranuras, los cuales, pueden ser configurados de manera individualizada. Estos instrumentos, son programados y controlados con el objetivo de realizar mediciones funcionales y paramétricas en las estructuras de test mediante el uso de la tarjeta de prueba y de la tecnología de contacto.

Los proveedores de este tipo de tecnología tienen planes de mantenimiento y calibración continua. Esto disminuye el riesgo de fallo o causas inesperadas durante la fase de fabricación masiva.

El uso de este tipo de tecnología e instrumentos no es obligatorio, se pueden crear sistemas automáticos pruebas customizados. Crear un sistema de pruebas automático conlleva el diseño de todos los instrumentos, incluir una arquitectura o procedimiento de calibración anual y un plan básico de mantenimiento.

La conexión de esta arquitectura de *hardware* al equipo de medición permite adaptar el proceso de prueba para productos específicos.

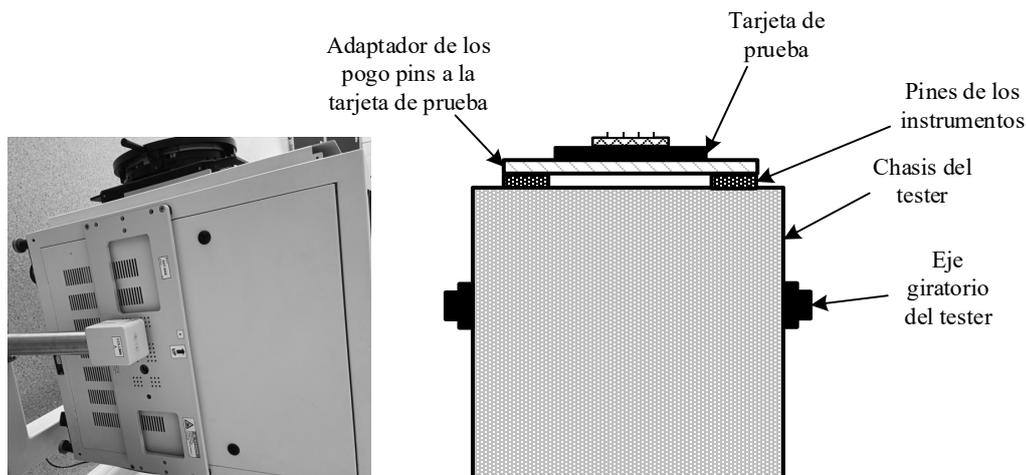


Figura 5.IV: Ejemplo de un sistema de test con configuración vertical para un tarjeta de pruebas unidad de medición [62].

Actualmente existen diferentes proveedores de esta tecnología los más comunes se detallan en la siguiente tabla (*Tabla 5.IV*):

Tabla 5.IV: Tecnología más común en sistema automáticas de test [17] [60]. [64]

Fabricante	Descripción
<i>Teradyne</i>	Fabricante Americano. Alguno de sus sistemas más conocidos son: <i>J750</i> , <i>FLEX</i> , <i>ULTRAFLEX</i> o <i>MicroFLEX</i>
<i>Advantest</i>	Proveedor Japonés. Alguno de sus sistemas más conocidos s son: <i>V93000</i> , <i>T2000</i> o <i>T6391</i> .
<i>NI (National Instruments)</i>	Fabricante Americano. Alguno de sus sistemas más conocidos son: <i>PXIs</i> o <i>STS</i> .
<i>Cohu</i>	Fabricante Americano. Alguno de sus sistemas más conocidos son: <i>LTX</i> , <i>PA</i> o <i>Diamondx</i>

- d. *Probador de obleas*: En un sistema robotizado encargado de mover la oblea a puntos pre-programados. Una vez que la oblea se encuentra en posición, se activa lo que se conoce como “*touch down*”, cuando la tecnología de contacto toca físicamente los *pads* para los que se han configurado. La presión que la tecnología de contacto ejerce sobre los *pads*, se conoce como “*overdrive*”. El valor de este parámetro se puede determinar

de manera experimental estudiando la marca que crean las agujas de la tecnología de contacto en los *pads* en un primer o segundo contacto.

Esta tecnología utilizada para probar obleas está programada para detectar los puntos críticos de prueba, generar el patrón óptimo de ejecución a lo largo de la oblea y ajustar la temperatura deseada para la realización de las pruebas

En una configuración tradicional el sistema de test accede a la zona de posición de la oblea a verticalmente como se muestra a continuación (*Figura 5.V*).

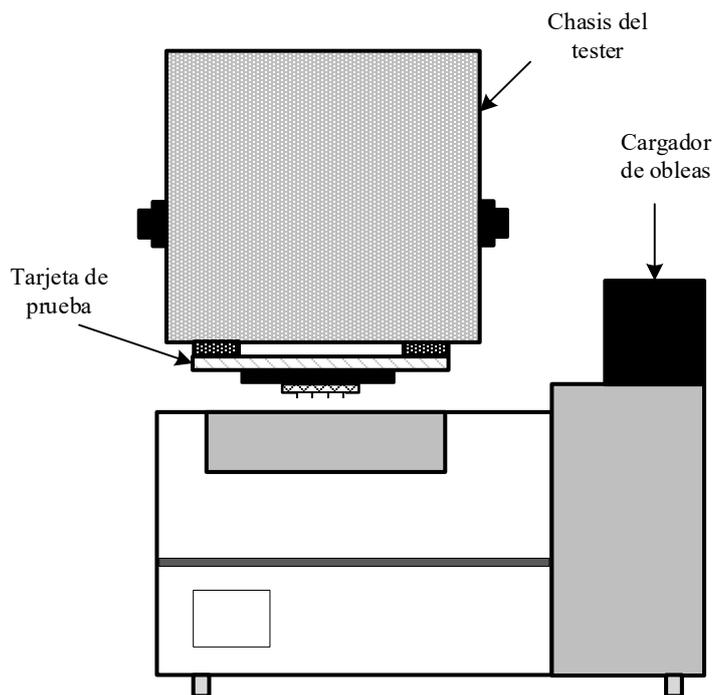


Figura 5.V: Ejemplo de configuración del sistema de test y el probador de obleas [62].

A continuación (*Tabla 5.V*), se detallan algunos de los proveedores más comunes de este tipo de tecnología, aunque poseen un modo de funcionamiento y control similar.

Tabla 5.V: Tecnología más comunes de *wafer probers* o probadores de obleas [17]

Fabricante	Descripción
ACCRETECH	Proveedor Japonés. Alguno de sus sistemas más comunes son: <i>UF3000EX</i> y <i>FP3000</i>
MJC	Proveedor Japonés. Alguno de sus sistemas más comunes es el <i>AP-80^a</i>

ARQUITECTURA DE UN EQUIPO AUTOMATIZADO DE PRUEBAS

Un sistema automático de pruebas, es una máquina de alta precisión generalista que puede ser adaptada para probar productos electrónicos de manera individualizada mediante la configuración tres elementos que, a continuación, se detallan:

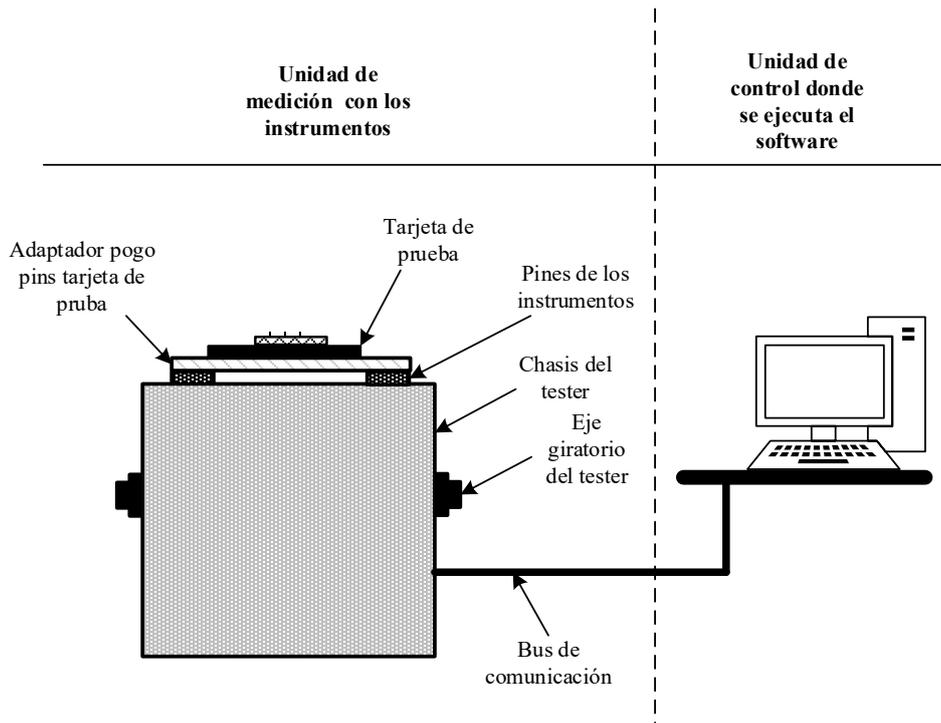


Figura 5.VI: Partes básicas de un equipo automático de pruebas [62], [3].

- ✓ *Configuración de los instrumentos:* es un grupo de tarjetas incrustadas en la parte interna de la maquina las cuales pueden ser intercambiadas. Estas tarjetas, tienen instrumentos como: *SMUs (Source Meters)*, tarjetas digitales que permiten probar buses de comunicación, generadores de señal, espectrómetros, osciloscopios, dispositivos ópticos, fuentes de muy alta frecuencia entre otros instrumentos. Estos instrumentos están alojados dentro del chasis en la unidad de medición.
- ✓ *Software de control:* Es una aplicación de *software*, que se ejecuta de manera secuencial, y la cual permite probar todas características funcionales de cada *microchip* o componente electrónico de manera individualizada mediante el control de todos los instrumentos que lo componen. Este *software* se ejecuta en la unidad de control
- ✓ *Hardware de adaptación.* Es un *hardware*, que hace de interface entre los instrumentos y las tarjetas de pruebas donde se conectan los *DUTs (Device Under Test)*.

5.3 DESCRIPCIÓN DEL SISTEMA DE TEST DEL PRODUCTO ELECTRÓNICO A NIVEL DE OBLEA

Este sistema también conocido en inglés como “*WaferSort*”, permite probar los *chips* cuando aún están integrados en una oblea. Esta fase de prueba se ejecuta antes del proceso de empaquetado y después la fase de prueba *PCM*. Este sistema de pruebas ha de ser capaz ejecutar el programa de prueba y de determinar las coordenadas de los *chips* descartados, así como de los *chips* considerados como buenos o “*Bin 1*”.

El diseño, conceptualización, selección tecnológica y alcance esta fase de calidad está a cargo de la empresa, departamento o línea de producto encargada del diseño o puesta en producción masiva del diseño del *chip*.

La ejecución del test del producto electrónico a nivel de oblea es posterior a la ejecución del test *PCM*. Por ello, los *chips* que pasan por esta fase de calidad provienen de las mejores obleas de *silicio* después de ser fabricadas en las instalaciones del *Wafer Foundry*.

La arquitectura de prueba de un circuito electrónico requiere.

- a. Una tecnología de contacto en las que la configuración de las agujas han de acceder a los *pads* del *chip*.
- b. Una tarjeta de pruebas que permita probar la funcionalidad del circuito integrado basado en su propia especificación.
- c. Un sistema automático de test que permita automatizar el sistema de control, detectar muestras de baja y generar un informe automatizado.
- d. Un probador de obleas. La configuración de este sistema de ser programada para probar la funcionalidad del *chip* y automatizar el sistema de control. Además, ha de identificar cada uno de los *chips* dentro de la oblea, probar su funcionalidad y marcar las muestras marcadas como aceptadas o fallidas mediante sus coordenadas dentro de la oblea, cuyo origen ha sido previamente programado y pre-establecido.

5.4 PROCEDIMIENTO GENERAL DEL DISEÑO DE LA ARQUITECTURA DE TEST

El diseño de un sistema de pruebas es muy complejo ya que aúna requisitos de diseño muy específicos. El proceso de diseño de una arquitectura de prueba de este tipo se puede dividir en tres bloques principales.

- ✓ *Fase de conceptualización*: Esta fase, se caracteriza por el estudio de los requisitos de diseño del componente electrónico para el que se ha diseñar la arquitectura de pruebas y la creación de la especificación de pruebas.
- ✓ *Fase de diseño*: En esta fase, se crea y se diseñan todos los componentes físicos y funcionales del sistema, tanto *hardware* como *software*.
- ✓ *Fase de puesta en marcha*: Durante esta fase, se prueba la funcionalidad del sistema de pruebas y se estudia su estabilidad.

El siguiente diagrama de bloques (*Figura 5.VII*), detalla el proceso general de diseño de una arquitectura de pruebas:

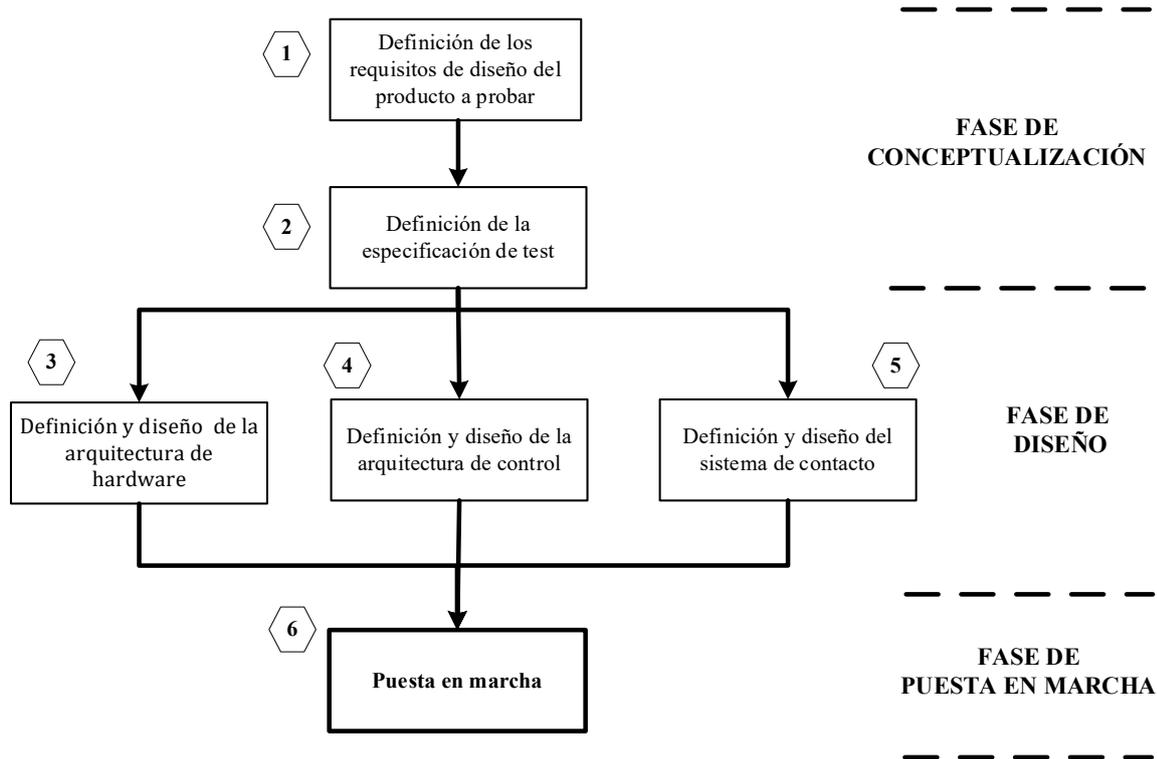


Figura 5.VII: Procedimiento general de diseño de la arquitectura o sistema de pruebas [62].

FASE DE CONCEPTUALIZACIÓN

La fase de conceptualización, tiene como objetivo el crear diferentes posibilidades de diseño, y así seleccionar la mejor estrategia y arquitectura para el sistema automático de prueba. Esta fase, parte de lo que conoce como requisitos de diseño del producto que se desea poner en producción. Este documento y grupo de parámetros definen todas las características técnicas y funcionales del circuito integrado. La función de las fases de calidad es garantizar que todos los requisitos que se han creado en el producto siguiendo los requisitos de diseño, funcionan dentro de los rangos establecidos.

El documento que define la arquitectura de un sistema de test se conoce como especificación test o especificación de pruebas. Este documento define parámetros funcionales del producto que se desean probar. A partir de estos parámetros, se pueden conceptualizar los bloques funcionales de la arquitectura de calidad como:

- ✓ *Tipo de instrumentación que se puede utilizar:* Puede englobar el sistema automático de test, instrumentación y equipo robotizado como es el probador de obleas o el manejador de pruebas.
- ✓ *Ubicación del sistema de test:* es decir dónde se instalará este sistema test.
- ✓ *Conceptualización de la arquitectura de prueba:* Selección de la tecnología de contacto, tipo de materiales e instrumentos y arquitectura de *hardware*.
- ✓ *Alcance de la arquitectura:* En esta fase se define que, se ha de probar dentro del producto electrónico y cada uno de los requisitos que se quieren analizar y en cada fase

de calidad específica. Un producto puede requerir miles de casos de prueba para garantizar una alta calidad, durante la fase del estudio del *Alcance de la arquitectura*, se decide que se prueba durante cada fase calidad.

La selección del mejor concepto o diseño de una arquitectura de test no es una tarea sencilla pero existen herramientas que pueden ayudar. Las herramientas más comunes utilizadas son las *DFMEA* y *PFMEA* [65].

- *DFMEA (Design Failure Mode and Effect Analysis)*: Durante el proceso de diseño de un *DFMEA* se han de incluir todos los riesgos potenciales que pueden hacer fallar el diseño que se desea crear y proponer todas las soluciones para mitigarlo. Esto se ha de repetir de manera individual para cada concepto de diseño.
- *PFMEA: (Process Failure Mode and Effect Analysis)*: Durante el proceso de diseño de un *PFMEA* se analizan todas las posibilidades fallo que pueden afectar al proceso para el diseño en cuestión se desea utilizar y proponer todas las soluciones para mitigarlo. Esto se ha de repetir de manera individual para cada concepto de diseño.

Un proceso de análisis de riesgo *DFMEA/PFMEA* realizado con éxito, ha de poder identificar que concepto es el idóneo desde el punto de vista del diseño y cuál lo es desde el punto de vista del proceso para el que se ha creado.

FASE DE DISEÑO

La fase de diseño conlleva la creación física de una arquitectura de pruebas de acuerdo a los requisitos de diseño y el concepto seleccionado. En el caso de sistema de pruebas para circuitos electrónicos, requiere al menos las siguientes fases:

1. *Diseño de las tarjetas de prueba*: Esto requiere el diseño físico de la placa de circuito correspondiente.
2. *Diseño y selección de la tecnología de contacto*: Requiere la selección tipo agujas su tecnología de contacto, posición de contacto, número de componentes a probar en paralelo y conexión con la tarjeta de pruebas.
3. *Diseño del programa de control*: Durante esta fase se crean cada uno de los casos de test que permiten determinar si un *chip* o componente electrónico es de buena calidad o por el contrario se ha de descartar.

FASE DE PUESTA EN MARCHA

Durante esta fase, se prueba la funcionalidad completa del sistema de pruebas con el circuito o componente electrónico para el que se ha diseñado. Por ello, se ha de verificar que el diseño es funcional y que se comporta de acuerdo a las especificaciones de diseño establecidas.

Una de las características del proceso general de diseño de una arquitectura de pruebas, es que, el sistema ha de ser capaz de generar un informe de funcionalidad del circuito integrado o

componente electrónico, que permita tener una trazabilidad continua con la especificación de diseño y los requisitos de diseño establecidos en la fase de conceptualización.

Como características comunes, el informe funcional del componente electrónico que se desea analizar en estas fases de calidad, ha de contener al menos la siguiente información:

- ✓ Identificación de sistema de pruebas, versión y localización.
- ✓ Día, hora, minuto y segundo de la ejecución de cada prueba.
- ✓ La ejecución de este tipo de pruebas de calidad suele ser secuencial, por ello, el informe ha de contener al menos: Número de identificación de la prueba funcional, nombre de la prueba funcional, resultado y tanto límites máximos como mínimos que determinar si una si la prueba funcional está aprobada (*Pass*) o fallada (*Fail*).

CAPÍTULO 6

6.

FASE DE FABRICACIÓN 3: CORTE DE LAS OBLEAS Y EMPAQUETADO DE LOS CHIPS

El corte y empaquetado de los *chips*, es la siguiente fase en el proceso de fabricación de un circuito integrado. Las funciones principales del paquete de un circuito integrado son:

- ✓ *Protección medioambiental y soporte mecánico:* la función principal es la protección del circuito de *silicio* ante las inclemencias externas y alargar su vida.
- ✓ *Disipación de calor:* Este factor es especialmente importante en circuitos y paquetes de alta corriente, ya que permite incluir estrategias de eliminación de energía calorífica a través de su paquete.
- ✓ *Distribución de las señales:* En paquetes con comunicación digital, una correcta distribución de las señales permite disminuir efectos de comunicación indeseada como “*crosstalk*” o retrasos en las señales.
- ✓ *Distribución de potencia:* El paquete permite la correcta distribución de potencia dentro del *chip* a partir de una correcta distribución de pines asignados al suministro de corriente.

6.1 AVANCE DEL CAPÍTULO

En este capítulo se abordan los siguientes puntos:

- ✓ Clasificación de las tecnologías de empaquetado de un circuito integrado.
- ✓ Clasificación de las tecnologías de empaquetado de un circuito integrado según su proceso.

6.2 CLASIFICACIÓN DE LAS TECNOLOGÍAS DE EMPAQUETADO DE UN CIRCUITO INTEGRADO

Las tecnologías de empaquetado se pueden clasificar de diferentes categorías. Algunas de las categorías de clasificación más conocidas son las siguientes:

- ✓ *Clasificación a partir del proceso de empaquetado:* Este tipo de clasificación se centra en los pasos del proceso de empaquetado y su tecnología. Dentro de este modo de clasificación, las tecnologías de empaquetado se clasifican en modo de empaquetado convencional y modo de empaquetado avanzado.
- ✓ *Clasificación según el tipo de sustrato:* El sustrato dentro de un paquete de un *microchip* tiene la función de proporcionar una conexión eléctrica con los pines, disipación de calor y soporte mecánico. Dentro de este modo de clasificación, las tecnologías de empaquetado se clasifican en sustratos cerámicos, sustratos orgánicos y sustratos de cristal.

- ✓ *Clasificación según el tipo de material:* Esta clasificación se basa en el material de la caja contenedora del *chip*. Dentro de este modo de clasificación, las tecnologías de empaquetado se clasifican en paquetes plásticos, metálicos, cerámicos y de cristal
- ✓ *Clasificación según el modo de interconexión:* La clasificación del modo de interconexión, se basa en cómo se establece la conexión entre los puntos de conexión del *chip* y del paquete. Dentro de este modo de clasificación, las tecnologías de empaquetado se clasifican en: paquetes con bobinado en cable, paquetes con bobinado de cinta o empaquetado en *flip-chip*.
- ✓ *Clasificación según la hermeticidad:* Una de las funciones del paquete, es aislar el *chip* de *silicio* de elementos externos como gases. Dentro de este modo de clasificación, las tecnologías de empaquetado se clasifican en este grupo paquetes herméticos o no herméticos.

Todos los modos de clasificación anteriormente detallados tienen ventajas y desventajas. Desde el punto de vista de la cualificación de un circuito integrado, los modos de clasificación más importantes son: La clasificación según el proceso de empaquetado y según su hermeticidad.

6.3 CLASIFICACIÓN DE LAS TECNOLOGÍAS DE EMPAQUETADO DE UN CIRCUITO INTEGRADO SEGÚN SU PROCESO DE EMPAQUETADO

El siguiente gráfico (*Figura 6.I*), resume los procesos y tecnologías de empaquetado actuales, según su complejidad, arquitectura de empaquetado y proceso de empaquetado.

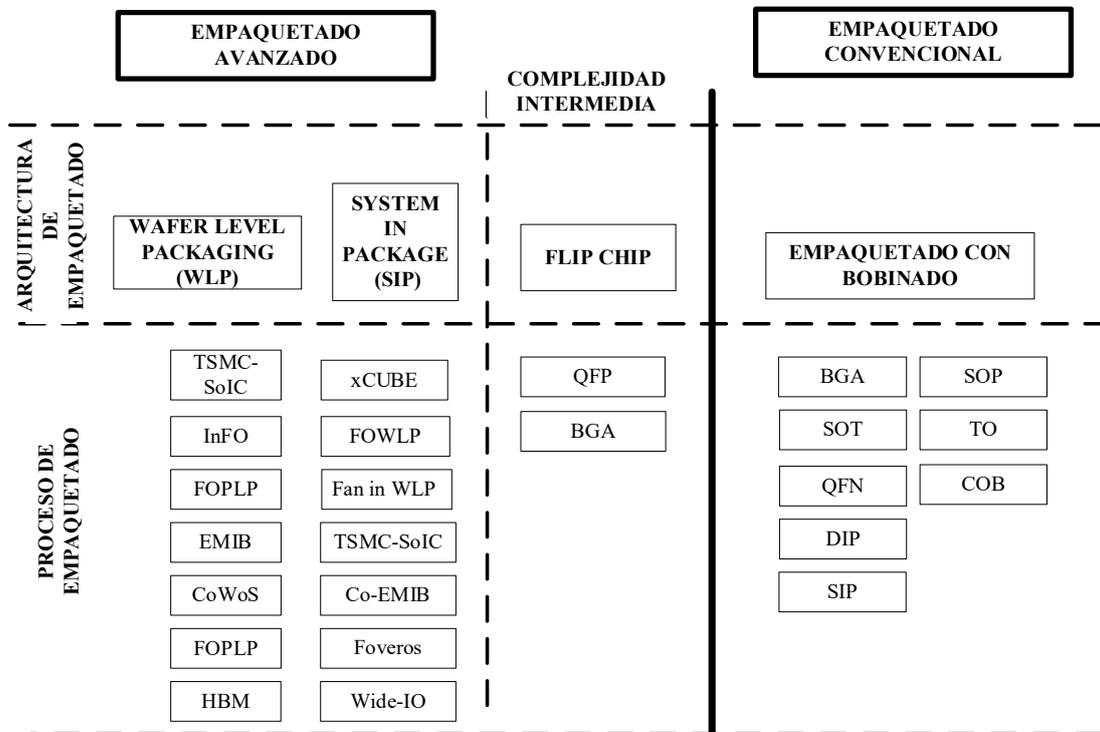


Figura 6.I: Clasificación básica de los procesos de empaquetado para circuitos integrados [66] [3].

A lo largo de este capítulo se abordan los procesos de empaquetado más comunes y sus connotaciones tecnológicas, así como las características que pueden afectar el diseño del plan de cualificación.

6.3.1 PROCESOS DE EMPAQUETADO TRADICIONAL

El proceso de empaquetado tradicional, se caracteriza por el uso de un solo *chip*, el cual está conectado a los pines del paquete mediante un sistema de bobinado, de cobre, oro, tungsteno o cualquier otro metal. En el proceso de empaquetado tradicional el *chip* se fija a la base del paquete mediante algún tipo de resina. A continuación, (*Figura 6.II*) se muestra de manera gráfica un sistema de empaquetado tradicional con sus secciones principales.

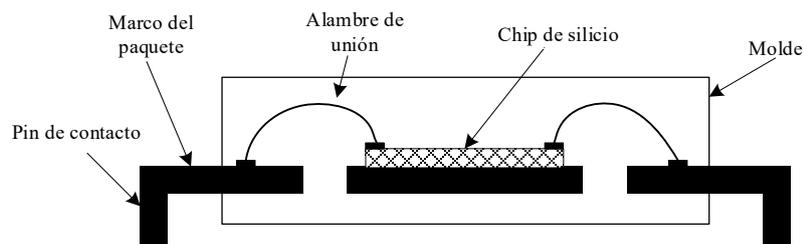


Figura 6.II: Esquema de un paquete con empaquetado tradicional [66] [3].

Dentro de proceso de empaquetado tradicional, se pueden clasificar siguientes procesos:

Tabla 6.I: Procesos de empaquetado clasificados como convencionales [66] [3] [67].

Proceso	Descripción
<i>SIP (Single Inline Package)</i>	Este tipo de paquetes, se caracterizan por tener los pines de contacto en una sola línea dentro del paquete. Algunos paquetes englobados dentro de este grupo son: <i>SIP8</i> , <i>SIP</i> o el <i>SIP10</i> .
<i>DIP (Dual Inline Package)</i>	Este tipo de paquetes, es similar al proceso <i>SIP</i> , pero en este caso posee dos líneas de pines conectadas al paquete. Algunos de los paquetes englobados dentro de este grupo son: <i>DIP8</i> , <i>HDIP12</i> o <i>DIPT140</i> .
<i>SOP (Small Outline Package)</i>	Este tipo de paquetes, se caracterizan por dar capacidad de soldado superficial en las placas de circuito impreso. No requiere agujeros pasantes en la placa de circuito impreso. Algunos de los paquetes englobados dentro de este grupo son: <i>SO</i> , <i>SOIC14</i> , <i>SOIC28</i> , entre otros.
<i>SOT (Small Outline Transistor)</i>	Este tipo de paquete, no requiere agujeros pasantes en la placa de circuito impreso. Algunos de los paquetes englobados dentro de este grupo son: <i>SOT323</i> , <i>SOT23</i> , <i>SOT416</i> , entre otros.
<i>TO (Transistor Outline)</i>	Es uno de los procesos de empaquetado más antiguos y se utiliza especialmente en transistores. Este tipo de empaquetado requiere unos agujeros pasantes en la placa de circuito impreso. Algunos de los paquetes englobados dentro de este grupo son: <i>TO5</i> , <i>TO96</i> , <i>TO101</i> , entre otros.
<i>QFN (Quad Flat Packages)</i>	Existen dos categorías englobas dentro de este grupo los paquetes, el paquete <i>QFN</i> y el paquete <i>QFP</i> . La diferencia entre ambos es la presencia de un punto de conexión en la parte inferior del paquete. Algunos de los paquetes englobados dentro de este grupo son: <i>QFN32</i> , <i>QFN48</i> , entre otros.

Tabla 6.II: Procesos de empaquetado clasificados como convencionales [66] [3], [68].

Proceso	Descripción
<i>BGA</i> (<i>Ball grid array</i>)	Este proceso de empaquetado está basado el uso de bolas de soldadura. El uso de bolas o <i>bumping</i> , permite tener una alta densidad de pines en muy poco espacio. Aunque requiere en algunas variaciones de su proceso un sustrato orgánico y avanzado, también se puede realizar este tipo de empaquetado con el uso de un bobinado tradicional.
<i>COB</i> (<i>Chip on board</i>)	Es un tipo de empaquetado de bajo coste en el que el <i>chip</i> se ajusta en la placa de circuito impreso con un adhesivo, se conecta a la placa con un bobinado tradicional y se cubre con una amalgama de protección.

Actualmente existen muchos más procesos de empaquetado, así como subcategorías dentro los grupos de la tabla anterior. Sin embargo, el listado permite establecer una referencia basada en características comunes, aunque los pasos específicos para el empaquetado de un *chip* son únicos para cada tipo de encapsulado.

Dentro del grupo de tecnologías de empaquetado consideradas tradiciones, existen dos tipos de tipos de paquetes clasificados como paquetes de complejidad intermedia, estos tipos de paquetes son los paquetes *QFN* y *BGA*. El paquete *QFN* es el proceso de empaquetado que contienen más pasos que el resto de paquetes dentro de los paquetes tradicionales ya que admite sustrato de tipo *flipchip* o un bobinado con alambre. Con el objetivo de entender el grupo de pasos que conlleva el empaquetado tradicional a continuación se detalla el proceso básico de empaquetado del paquete *QFN* (*Quad Flat Package*) ya que es uno de los que más fases requiere dentro del proceso de empaquetado tradicional.

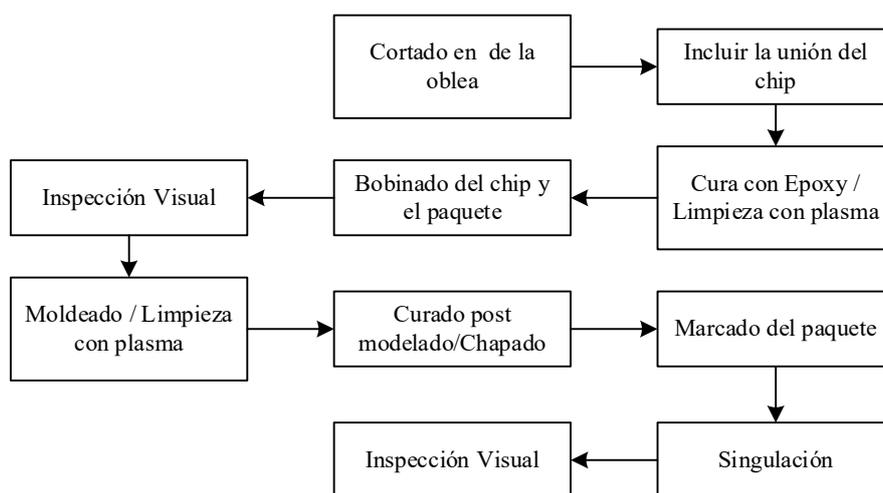


Figura 6.III: Proceso básico de empaquetado del paquete *QFN* (*Quad Flat Package*) [66] [3].

El proceso de empaquetado del paquete *QFN* consta de diez fases que son:

- [1] *Cortado de la oblea*: los *chips* impresos en la oblea se cortan de manera individualizada, para su posterior empaquetado individual.
- [2] *Incluir la unión del chip*: El *chip* es depositado en la base del paquete y fijado con una resina.
- [3] *Cura con epoxy y limpieza con plasma*: Uno de los mayores riesgos en la fabricación de semiconductores es la contaminación biológica. Para evitar este problema se hace una limpieza con plasma.
- [4] *Bobinado del chip*: Durante esta fase, se conecta los pines los pines del *chip* de *silicio* al paquete mediante de un bobinado, ya sea *cobre*, *oro* o *aluminio*.
- [5] *Inspección visual*: Se establece una inspección intermedia para verificar que el bobinado y las conexiones están correctas antes de cerrar el paquete.
- [6] *Modelado del paquete*: Durante esta fase, se cubre el paquete y se le proporciona hermeticidad.
- [7] *Curado y chapado*: En esta fase, el paquete modelado se cura a altas temperaturas para darle rigidez además de incluir estaño en los pines para facilitar su soldado en la fase de ensamblaje en las placas de circuito impreso.
- [8] *Marcado del paquete*: El paquete es marcado con identificación, logo y número de serie.
- [9] *Singularización e inspección visual*: En esta fase, se analiza que el paquete tiene las dimensiones adecuadas en todos los aspectos y que encaja dentro los requisitos establecidos. Por otro lado, se hace una inspección visual para verificar que el marcado del paquete es correcto.

Una vez terminadas estas fases, el *chip* empaquetado está listo para la siguiente fase: *la Fase de Calidad 2*.

6.3.2 PROCESO DE EMPAQUETADO AVANZADO

Los procesos de empaquetado avanzado son más actuales y están pensados para proporcionar una integración tecnológica más compleja. La integración tecnológica con un proceso de empaquetado avanzado permite hacer paquetes con un mayor número de conexiones en el menor espacio posible. La *Tabla 6.III* resume los procesos de empaquetado más comunes, categorizados como procesos de empaquetado avanzados.

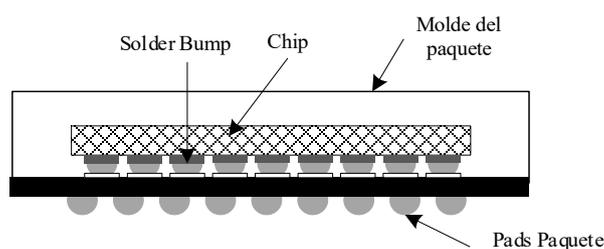
Tabla 6.III: Clasificación de los procesos de empaquetado avanzado [66] [3].

Proceso de empaquetado	Descripción
<i>Flip Chip</i>	Este método de empaquetado se caracteriza por la unión del <i>chip</i> con los pines en la parte inferior al paquete. De modo similar al paquete <i>BGA</i> . Este modo de empaquetado se puede utilizar en paquetes clasificados como convencionales como es el caso de los paquetes <i>QFN</i> o <i>BGA</i> .
Empaquetado a nivel de oblea (<i>WLP</i>)	En este tipo de empaquetado, la fase de sellado del <i>chip</i> se realiza cuando el <i>chip</i> está impreso en la oblea. Posteriormente estos <i>chips</i> se cortan en unidades individuales.
Sistema a nivel de paquete (<i>SIP</i>)	Este tipo de empaquetado puede se caracteriza por contener diferentes <i>chips</i> con diferente funcionalidad, así como componentes pasivos dentro de un mismo paquete. Este tipo de empaquetado se puede clasificar en tres subcategorías: <i>2D</i> , <i>2.5D</i> y <i>3D</i> .

PROCESO DE EMPAQUETADO *FLIPCHIP*

El proceso de empaquetado *flipchip* [69], permite crear una mayor densidad de pines que un paquete tradicional en la misma área. Los *chips* que se desean ensamblar dentro de un proceso de empaquetado *flipchip*, necesitan tener los *pines* de conexión en la parte inferior. Estos tipos de pines son conocidos como “*solder bump*”. Estos pines de conexión se crean durante la fase de metalización de la oblea, esto se describe de manera resumida en el *Capítulo 3.4*.

Una vez cortada la oblea en *chips* individualizados se añaden los *Pads* del sustrato *flip chip* o *Solder Bump* [70]. Estos puntos de conexión o también conocidos como *pads* se posicionan en los puntos prediseñados del paquete y después de un proceso de soldadura permanecen fijos a la base del paquete, este proceso se conoce como *Bumping process*. Posteriormente se añade el molde del paquete y se realiza el marcado del *chip* con sus parámetros identificativos.

**Figura 6.IV:** Ejemplo de un empaquetado *Flip Chip* [66] [3].

PROCESO DE EMPAQUETADO A NIVEL DE OBLEA

Este proceso de empaquetado a nivel de oblea, se caracteriza por poseer una alta complejidad ya que el empaquetado y moldeo del paquete del *microchip* se realiza cuando el *chip* aún está en la oblea. Esto permite conseguir densidades de pines superiores a las que se pueden alcanzar con el empaquetado tradicional o empaquetado *flip chip*.

Existen muchas subcategorías dentro de este proceso de empaquetado avanzado. Algunas de las más comunes y conocidas se detallan en la siguiente tabla (Tabla 6.IV).

Tabla 6.IV: Listado de procesos de empaquetado a nivel de oblea más comunes [66] [3] [18].

Proceso de empaquetado	Descripción
<i>FOWLP</i> (<i>Fan-out Wafer Level Package</i>)	Es un tipo de empaquetado similar en su producto final al paquete <i>BGA</i> . Este proceso se puede categorizar como (<i>CSP</i>) <i>Chip-Scale packaging</i> ya que el tamaño del paquete es similar al del <i>chip</i> .
<i>InFO</i> (<i>Integrated Fanout</i>)	Este proceso de empaquetado ha sido creado por TSMC permitiendo un mayor nivel de integración de <i>chips</i> en 3 dimensiones. Existen dos subcategorías dentro de este proceso conocidos como: <i>inFO_POP</i> y <i>inFO_OS</i> .
<i>FOPLP</i> (<i>Fan-out panel level package</i>)	Es un proceso similar al proceso <i>InFO</i> .
<i>CoWos</i> (<i>Chip on wafer on Substrate</i>)	Este tipo de empaquetado permite una integración en 2.5D con la ayuda de un bloque de interposición. Un bloque de interposición, es un <i>chip</i> intermedio que permite conectar diferentes <i>chips</i> .
<i>Foveros</i>	Es un Sistema de integración a nivel oblea creado por Intel proporcionando un nivel de integración similar a los anteriores.

SISTEMA A NIVEL DE PAQUETE (SIP)

Es un sistema de integración de múltiples *chips* dentro de un mismo paquete. Este proceso de empaquetado, se puede realizar a nivel oblea con él con el proceso *WLP* (*Wafer Level Package*), Uno de los procesos de empaquetado más conocidos dentro de este grupo es el empaquetado *TSMC-SOIC* [18] de *Taiwan Semiconductor*. Este proceso de empaquetado se puede realizar en los modos 2D, 2.5D y 3D e incluir diferentes tipos de procesos de empaquetado como *flip chip* o procesos convencionales. A continuación, se muestra de manera gráfica las partes de un nivel de empaquetado *SIP*.

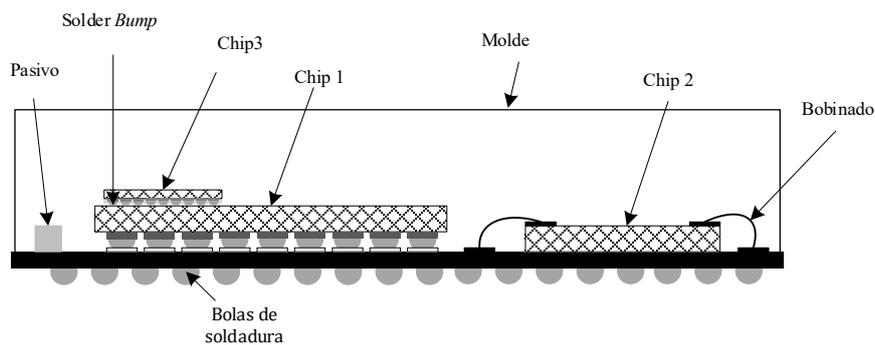


Figura 6.V: Descripción básica de un sistema a nivel de paquete 2D, 2.5D [66] [3].

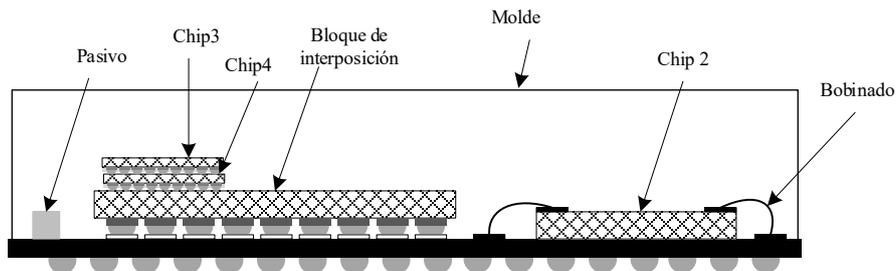


Figura 6.VI: Descripción básica de un sistema a nivel de paquete 3D [66] [3].

Dentro de este proceso de empaquetado, se puede encontrar las siguientes categorías:

Tabla 6.V: Subcategorías básicas del proceso del proceso de sistema en paquete (SIP) [17].

Proceso de empaquetado	Descripción
2D	En este tipo de empaquetado diferentes <i>chips</i> se conectan en el mismo sustrato.
2.5D	En este tipo de empaquetado diferentes <i>chips</i> se conectan en el mismo sustrato, pero utilizados bloques de interposición.
3D	Este tipo de empaquetado permite la unción de diferentes <i>chips</i> y bloques de interposición de manera vertical.

6.4 PROVEEDORES DE TECNOLOGÍA

Esta fase del proceso de producción, se puede dividir en tres tipos de empresas:

- ✓ *Empresas de fabricación tecnológica:* estas empresas, se centran en crear instrumentos de precisión para el proceso empaquetado tradicional o avanzado de componentes. Algunas de las suministradoras más comunes de este tipo de tecnología detallan a continuación:

Tabla 6.VI: Suministradores de tecnología en la Fase de Fabricación 3 [17] [60].

Equipo	Suministrador
Tecnología de empaquetado	<i>Nidec Corporation, ASMPT, aam Internationa.</i> La mayor parte de fabricantes de este tipo de instrumentos se encuentra en <i>Asia</i> .
Tecnología de corte de obleas	<i>JCA o KLA.</i> De igual modo que en el caso anterior, la mayor parte de fabricantes de este tipo de instrumentos se encuentra en <i>Asia</i> .
Máquinas de marcado de paquetes	<i>HGLASER, I.C.T, Siemens o KEYENCE.</i>

- ✓ *Empresas especializadas en la fabricación de circuitos integrados:* estas empresas, poseen instalaciones donde unen cada uno de los pasos de fabricación con diferentes tecnologías y maquinaria para su propio nodo tecnológico. Este tipo instalaciones, posee un control minucioso de todos los parámetros, tanto biológicos, químicos o medioambientales, pera tener un alto rendimiento de producción. Estas empresas están especializadas en el proceso de empaquetado. Algunas son muy conocidas que se nombran a lo largo del libro son: *ASE Group (Advanced Semiconductor Engineering,*

UTAC Group (United Test and Assembly Center), Chipbond Technology Corporation, Fraunhofer Institute, entre otras [17] [60] [64].

- ✓ *Empresas que controlan la fase de fabricación 3:* Existen compañías que crean su propia tecnología, y controlan por completo su proceso de fabricación, impresión litográfica y empaquetado dentro de sus instalaciones, sin externalizar esta fase de su proceso de fabricación. Algunas de ellas son muy conocidas, como es el caso de *Infineon, Texas Instruments, Intel, AMS OSRAM o Analog Devices [17] [60]*. Esta información generalmente es pública y detallada en los informes de cualificación de sus componentes electrónicos.

CAPÍTULO 7

7.

FASE DE CALIDAD 2: CONTROL DE CALIDAD DEL *CHIP* EMPAQUETADO

La fase de prueba del *chip* empaquetado tiene la función de proporcionar el producto terminado con el mayor estándar de calidad posible. En un proceso de producción masiva, la fase de test del *chip* empaquetado es el último paso antes de la puesta del producto terminado en el mercado. Las funciones de esta fase son:

- ✓ Garantizar que ningún *chip* ha sido dañado durante la fase de empaquetado.
- ✓ Garantizar un factor de cero defectos y poner en el mercado los *chips* con el mejor estándar de calidad posible.

Al igual que la fase de calidad de los circuitos integrados a nivel de oblea (*Fase de calidad I*), el diseño de la arquitectura de esta fase de producción está a cargo de la empresa que ha diseñado y puesto en producción masiva el *chip*.

La ejecución de esta fase de control de calidad puede llevarse a cabo en instalaciones de empresas especializadas en la fase de empaquetado (Algunas de estas empresas especializadas más conocidas en esa fase del proceso de producción son: *ASE Group* o *UTAC Group*), o en instalaciones propias, siempre que su proceso de producción y calidad este adaptado para ese propósito.

7.1 AVANCE DEL CAPÍTULO

En este capítulo se abordan los siguientes puntos:

- ✓ Descripción de la arquitectura de test con el *chip* empaquetado
- ✓ Procedimiento general de diseño de la arquitectura de test

7.2 DESCRIPCION DE LA ARQUITECTURA DE PRUEBAS CON EL *CHIP* EMPAQUETADO

Esta fase, tiene como función garantizar la funcionalidad del circuito integrado una vez terminada la fase de empaquetado. Como se detalla en el *capítulo 6*, la fase de empaquetado incluye puntos críticos, como el bobinado de las conexiones entre el *chip* y el paquete, y el encapsulado del circuito en un molde. Estas fases son más complejas para tecnologías de empaquetado avanzadas, lo que hace necesario garantizar la calidad de esta fase de fabricación.

La arquitectura de test de un *chip* empaquetado comprende los siguientes bloques mínimos [71]:

- [1] *Tarjeta de carga o Loadboard*: Esta placa de circuito impreso tiene la función de conectar los instrumentos del equipo automático de pruebas (*ATE*) con los pines de conexión de *DUT* (*Device Under Test*), en este caso el *DUT* es un circuito integrado. Al ser un sistema automático de producción, los circuitos integrados han de ser probados y empaquetados.

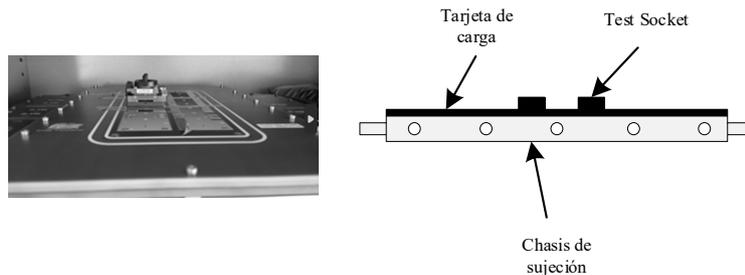


Figura 7.1: Ejemplo de placa de carga o *Loadboard* usada en la *Fase de Calidad 2* con 8 sites (Izquierda) [62]

La placa de carga consta de 3 partes:

- ✓ *El socket de prueba o test socket*: tiene la función de contener el *DUT* o integrado durante la fase de prueba.
- ✓ *La placa de carga*: contiene la circuitería necesaria para probar el circuito integrado una vez empaquetado.
- ✓ *Chasis de sujeción*: Esta especialmente diseñado para adaptarse las dimensiones mecánicas del equipo automático de pruebas (*ATE*). Los instrumentos y sus puntos de anclaje se conectan directamente sobre la placa de prueba.

Este tipo de placas, se caracterizan por poseer espesores de entorno 1 cm, con propiedades, mecánicas, eléctricas y de integridad de señal muy restrictivas. En esta fase de producción, de igual modo que ocurre la fase de pruebas de la oblea en la *Fase de Calidad 1*, el *test time* o tiempo necesario para ejecutar el programa de test y probar la funcionalidad del circuito integrado es crucial, ya que este tiempo de ejecución tiene un impacto directo coste final del producto. Por esta razón las palcas de carga, los sockets y arquitectura del sistema de pruebas debe ser capaz de probar de 1 a 8 *DUTs* en paralelo también conocidos como *sites* en inglés.

- [2] *Equipo de pruebas*: El equipo de pruebas usado en esta fase de calidad puede ser idéntico al usado en la *fase calidad 1*, conocida como *wafer-sort* o puede estar diseñado de manera específica para esta fase de calidad. El procedimiento de diseño es idéntico al detallado en el capítulo 5.4.
- [3] *Manejador de pruebas o Test Handler*: Es un equipo de alta precisión, que tiene la función de colocar los *chips* que se desea probar dentro del *socket* que se ha instalado

placada de pruebas, ejecutar el programa de test, y colocar los *chips* óptimos en lo que se conoce como *bin 1 (Papelera 1)*, y los *chips* con fallos en otras secciones o *bins* pre-programadas.

La configuración más común de estos sistemas, permite que el sistema prueba automática (*ATE*) junto con la placa de carga y el *socket* se ubiquen en un compartimiento interno dentro del manejador de pruebas. Esto facilita que el equipo de *pick and place* del manejador mueva los *chips* empaquetados de manera automática.

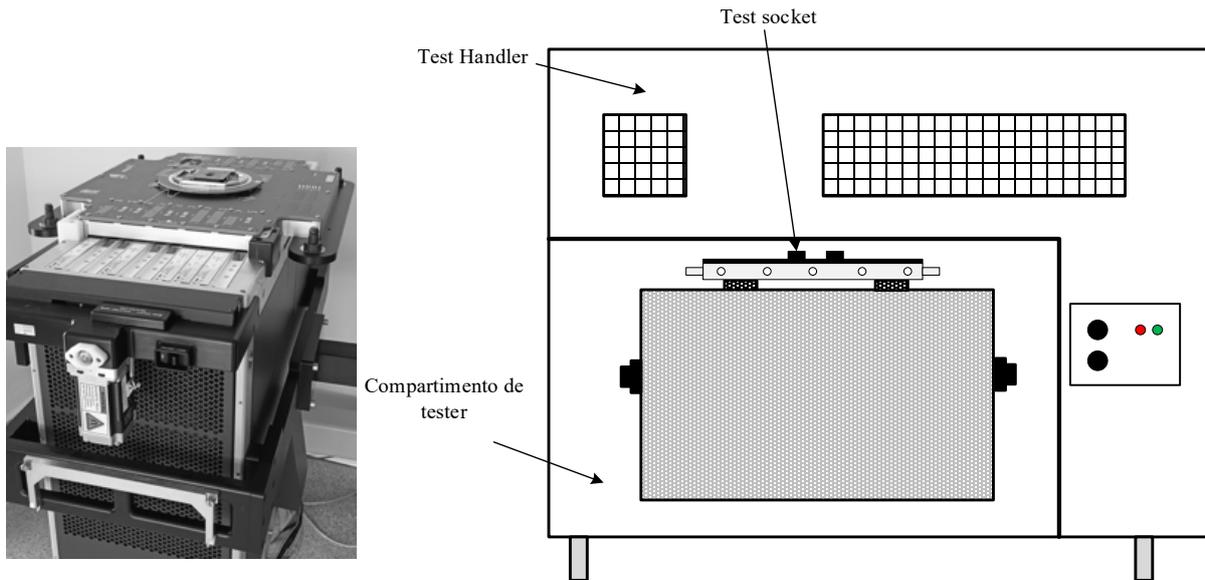


Figura 7.II: Descripción básica de la configuración de un equipo de test y el manejador de pruebas (*Izquierda*) y sistema automático de pruebas con *loadboard* (*Derecha*) (Imagen de diseño propio). [62].

Existen diferentes tipos de tecnología de manejadores de pruebas alguno de los más comunes se detallan en la siguiente tabla (*Tabla 7.I*):

Tabla 7.I: Tipos más comunes de *test handlers* o manejadores de pruebas [17] [60].

Tipo de equipo	Descripción
Manejador de pruebas por gravedad (<i>Gravity test handler</i>)	Usa el efecto de la gravedad para el manejo y organización de los <i>DUTs</i> en los sockets.
Manejador basado en torreta (<i>Towel test handler</i>)	Este tipo de probadores poseen un brazo robótico de colocación y ordenación automática de <i>DUTs</i> .

7.3 PROCEDIMIENTO GENERAL DEL DISEÑO DE LA ARQUITECTURA DE TEST

El procedimiento de diseño de un sistema de calidad en esta fase del proceso de fabricación, requiere el mismo número de pasos y consideraciones que las establecidas en el

capítulo 5.4, con la salvedad, que esta arquitectura de prueba requiere parámetros de diseño diferentes.

7.4 PROVEEDORES DE TECNOLOGÍA

Esta fase del proceso de producción se puede dividir en dos tipos de empresas:

- ✓ *Empresas de fabricación tecnológica:* estas empresas, se centran en crear instrumentos de precisión para la probar la funcionalidad de los semiconductores de manera automática. No es requisito indispensable u obligatorio usar esta tecnología, se puede crear un sistema de pruebas customizado, pero ha de adaptarse en los estándares de calidad en términos de precisión, protección *ESD* [72], calibración entre otras características. Algunos de los suministradores más comunes de este tipo de tecnología se detallan a continuación (Tabla 7.II):

Tabla 7.II: Suministradores de equipos para la *Fase de Calidad 2* [17] [60].

Equipo	Suministrador
Sistemas de prueba	<i>Teradyne, Cohu, Advantes o Microtest.</i>
Manejadores de pruebas	<i>Chroma, Cohu, SPEA o Advantest.</i> Algunas de estas empresas también crean tecnología y equipos de prueba <i>ATE</i> .
Proveedores de sockets	<i>Quasys Gmbh, Yamaichi Co. Plastronics o Smitch interconnects,</i>

- ✓ *Empresas especializadas en el ensamblaje de circuitos integrados o componentes electrónicos:* estas empresas, poseen instalaciones donde unen cada uno de los pasos de fabricación con diferentes tecnologías y maquinaria para su propio nodo tecnológico. Este tipo instalaciones, poseen un control minucioso de todos los parámetros, tanto biológicos, químicos o medioambientales, para tener un alto rendimiento de producción. Estas empresas están especializadas en el proceso de fabricación. Algunas muy conocidas que se nombran a lo largo del libro son: *ASE Gropup (Advanced Semiconductor Engineering)*, *UTAC Group (United Test and Assembly Center)*, *Chipbond Technology Corporation*, *Fraunhofer Institute* [17] [60] entre otras.

La *Fase de Calidad 2*, generalmente se ejecuta en las mismas instalaciones de la *Fase de Fabricación 3*, aunque se puede realizar en instalaciones diferentes si dichas instalaciones pasan los estándares de calidad pertinentes, en relación a control de temperatura, polvo, humedad e *ESD* entre otras.

CAPÍTULO 8

8.

FASE DE CUALIFICACIÓN 2: CUALIFICACIÓN DE LOS COMPONENTES ELECTRÓNICOS EMPAQUETADOS

La fase de cualificación de un circuito integrado tiene la función principal de conocer la calidad del producto terminado y verificar que cumple con los estándares de calidad establecidos en el sector industrial. Según estándar *JEDEC* se conoce la fase de cualificación 2 como *cualificación de nivel 2*.

Para poder alcanzar estos objetivos iniciales, es importante que las muestras utilizadas durante el proceso de cualificación posean el mismo estándar de calidad que las proporcionadas a los clientes.

Un proceso de cualificación bien planeado y ejecutado permite identificar los siguientes puntos clave en el proceso de producción de un circuito integrado:

- [1] Si el diseño del circuito integrado es funcional, estable y fiable en su ciclo de vida.
- [2] Si el proceso de fabricación del circuito integrado es estable.
- [3] Si las *fases calidad 1* y *calidad 2* son estables y si existen brechas en el control de calidad.

Cada procedimiento de prueba de cualificación es único, y la selección de las condiciones de estrés puede depender de tres factores:

- ✓ Basar la selección de las condiciones en los parámetros estándar del mercado.
- ✓ Basar las selecciones de las condiciones en una petición explícita de un potencial cliente.
- ✓ Basar la selección en validar un criterio de fallo específico que se desean identificar.

No se puede dar por cualificado un circuito integrado para otras condiciones para las que previamente no ha sido cualificado. El estándar *JEDEC* permite la convalidación de algunas pruebas de cualificación. Algunas de estas pruebas son las siguientes:

- ✓ La prueba de cualificación *HAST (High Temperature Stress Prueba)* [73] se puede convalidar con la prueba de cualificación *THB (Temperature Humidity Bias)* y viceversa. [74]
- ✓ La prueba de cualificación *UHAST (Unbias High Temperature Stress Prueba)* [75] se puede convalidar con la prueba de cualificación *AC (Autoclave)* [76] y viceversa.

La convalidación de estas pruebas de cualificación, se debe a que los factores de aceleración para ambas son idénticos.

A lo largo de este capítulo se aborda el proceso de planificación, diseño, ejecución y presentación de resultados para un circuito íntegro o componente electrónico.

La *Figura 8.I* describe los pasos más importantes dentro de cada uno de los bloques principales [77].

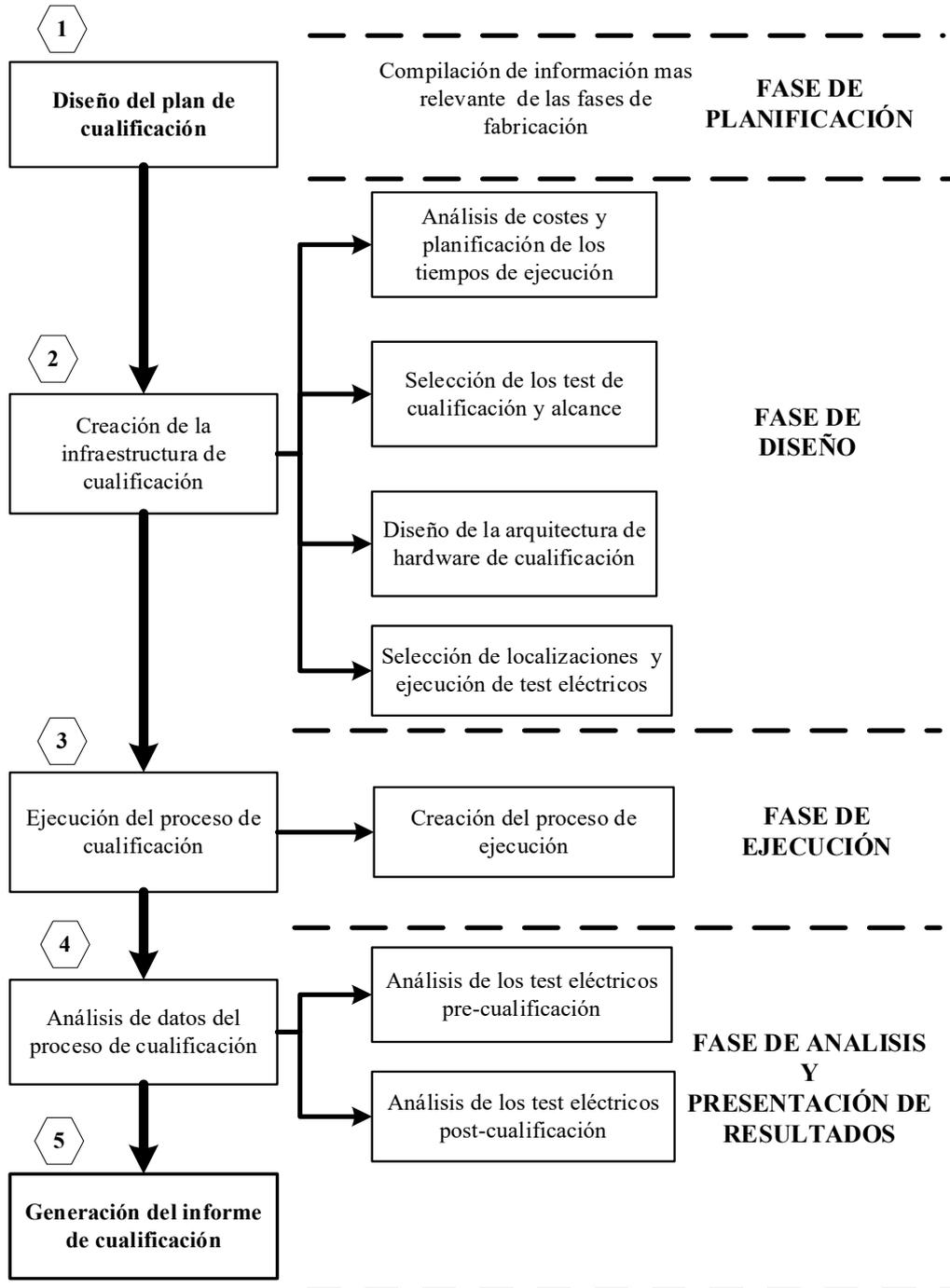


Figura 8.I: Fases del proceso de cualificación [77].

8.1 AVANCE DEL CAPÍTULO

En este capítulo se abordan los siguientes puntos:

- ✓ Fase de planificación: Creación del plan de cualificación.
- ✓ Fase de diseño: Creación de la infraestructura de cualificación.
- ✓ Fase de ejecución del plan de cualificación.
- ✓ Fase Análisis de datos del proceso de cualificación.

8.2 FASE DE PLANIFICACIÓN: DISEÑO DEL PLAN DE CUALIFICACIÓN

El diseño del plan de cualificación es una parte crucial del proceso, ya que se requiere recopilar todos los puntos clave de cada una de las fases de fabricación. El diseño del plan de cualificación está a cargo de la empresa o equipo encargado del diseño y comercialización del circuito del circuito integrado. El diseño de un plan de cualificación, varía dependiendo del mercado al que se quiera acceder para vender el circuito integrado. Este libro, se centra solo en los requisitos necesarios para acceder al sector industrial.

Durante el desarrollo de este capítulo, se tratan aquellas características y parámetros relevantes para la planificación de un plan de cualificación para vender circuitos en el sector industrial.

Toda la información detallada en los siguientes capítulos ha de ser compilada en un único documento, simple y compacto que recoja todos los puntos detallados en las siguientes secciones.

La metodología propuesta en este libro propone abordar el diseño de un plan de cualificación de para un circuito integrado o un componente electrónico basado en los siguientes tres supuestos:

1. *Que el circuito integrado sea un producto nuevo:* Lo que suponen una cualificación completa del producto electrónico.
2. *Que el circuito integrado ya ha haya sido cualificado* y que la re-cualificación se deba a un cambio en alguna fase del proceso de empaquetado, fabricación o diseño.
3. *Que la cualificación se deba a una monitorización* de la fiabilidad de un producto ya cualificado.

8.2.1 CONSIDERACIONES DE LA FASE DE DISEÑO

Cada uno de los elementos detallados en la siguiente *Tabla 8.1* son de vital importancia para la dentro de un proceso de cualificación de un circuito integrado así como el diseño de su y arquitectura y plan de cualificación.

Durante las fases de diseño de un circuito integrado para el sector industrial que se rige por ejemplo por un estándar *ISO9001 (Sistema de gestión de calidad)* [78] debe tener los

procedimientos específicos de ejecución, calibración y diseño. Los procesos dentro los procesos generales son conocidos como *micro-procesos*.

Si se diera el supuesto, que estos *micro-procesos* fueran inexistentes, debido a que la empresa que desea cualificar su circuito integrado es una *startup* en construcción. Los documentos mínimos necesarios para poder emprender un plan de cualificación se detallan a continuación:

- ✓ Documentación de los requisitos de diseño del circuito integrado o componente electrónico que defina las características técnicas, funcionales y de fabricación establecidas.
- ✓ Especificaciones de diseño de los bloques analógicos, digitales y su funcionalidad.
- ✓ Documentos de producción y especificaciones de test con descripciones del tipo de empaquetado, descripción de la oblea y su proceso tecnológico, nodo tecnológico seleccionado y materiales usados en la fase de fabricación.
- ✓ Informe de cualificación del proceso tecnológico por parte de la empresa encargada de fabricar las obleas de *silicio* con el circuito integrado.

Tabla 8.I: Información mínima que se ha de recopilar de la fase de diseño para el proceso de cualificación.

Información necesaria	Descripción
Tipo y descripción del dispositivo y su arquitectura	<p>Descripción funcional básica del circuito integrado a cualificar y establecer una división de bloques analógicos, digitales y memorias.</p> <p>Esta información suele estar disponible en las hojas de datos del circuito integrado o en las especificaciones de diseño.</p>
Rangos de operación	<p>El circuito ha de tener los siguientes rangos de operación documentados:</p> <ul style="list-style-type: none"> • Rango máximo de operación de la hoja de datos. • Rango máximo absoluto de operación de la hoja de datos. <p>Estos rangos se pueden establecer a partir de rangos de voltajes, temperaturas, corrientes de suministro o frecuencias de comunicación.</p> <p>Esta información suele estar disponible en las hojas de datos del circuito integrado o en las especificaciones de diseño.</p>
Tipo de paquete	<p>El tipo de paquete y arquitectura de empaquetado. Clasificación del tipo de empaquetado y extracción de las características más importantes del proceso.</p> <p>Por ejemplo: Tipo de proceso de empaquetado, tipo de sustrato, material de bobinado, materiales usados en el proceso de empaquetado. Este documento se conoce como declaración de materiales del empaquetado o "<i>material declaration</i>" según el standard <i>IPC-1752A</i> [79], esta información es proporcionada bajo petición por las empresas encargadas de las fases de fabricación.</p> <p>Esta información suele estar disponible en las hojas de especificación de test, dibujos del paquete proporcionados por la empresa encargada del proceso de ensamblaje o en las especificaciones de diseño.</p>

Tabla 8.II: Información mínima que se ha de recopilar de la fase de diseño para el proceso de cualificación.

Información necesaria	Descripción
Distribución de los pines y su función	La funcionalidad rangos máximos de los pines es crucial en los circuitos integrados de alta complejidad. Configuración de los pines y su sistema de protección <i>ESD</i> . Esta información suele estar disponible en las hojas de datos del circuito integrado o en las especificaciones de diseño.
Documentación del nodo tecnológico seleccionado	Documentos básicos de reglas de diseño, informe de cualificación del nivel 1 según <i>JEDEC (Proceso de cualificación 1)</i> .
Tipo de proceso tecnológico seleccionado	Tecnología <i>Bulk-CMOS, SOI, MEMS</i> o cualquier otra.
Determinar los criterios de fallo	Determinar los criterios de fallo que se buscan fase de cualificación.
Lecturas intermedias	Si son necesarias lecturas intermedias en las pruebas de cualificación y con qué frecuencia.

8.2.2 CONSIDERACIONES DE LA FASE DE FABRICACIÓN 2

Desde el punto de vista de un proceso de cualificación de un circuito integrado, los elementos más importantes a tener en cuenta por parte de *la fase de fabricación 1* se detallan en la *Tabla 8.III*.

La fase de fabricación 2, es especialmente importante cuando se trata de empresas tipo *Fabless*. En empresas de tipo *la fase de cualificación 2*, es el único estudio posible para garantizar la fiabilidad tecnológica de su producto desde los aspectos más importantes para su comercialización como son: La funcionalidad del circuito integrado a lo largo de su vida útil, la validación de toda la funcionalidad, la implementación de todos los requisitos mediante las *Fases de Calidad 1* o *2* y la estabilidad del sistema de producción en sus *Fases de Calidad 1* y *2*.

Tabla 8.III: Información mínima que se ha de recopilar de la *Fase de Fabricación 2* para el proceso de cualificación.

Información necesaria	Descripción
Descripción del proceso de fabricación utilizado	Descripción del proceso de fabricación, nodo tecnológico, localización de la fábrica y empresa a cargo.
Número de capas del circuito integrado	Número de capas usadas y tecnología de metalización.
Fotomáscara	Información sobre el tipo de tecnología utilizada
<i>Lead times</i> o tiempos de fabricación de fabricación de obleas usadas en cualificación e identificación de los lotes	Identificación de las obleas, lotes que se van a fabricar, fechas de fabricación y costes de los lotes que serán utilizados en el proceso de cualificación.

8.2.3 CONSIDERACIONES DE LA FASE DE CUALIFICACIÓN 1

La *fase de cualificación 1* y el personal, a cargo de poseer un informe completo de cualificación con todas las secciones detalladas en el *capítulo 4*. Estos informes y documentación tecnológica son proporcionados bajo petición por las *wafer foundries*.

Tabla 8.IV: Información mínima que se ha de recopilar de la *Fase de Calidad 1* para el proceso de cualificación.

Información necesaria	Descripción
Informe cualificación 1	Informe de cualificación 1, según el standard <i>JEDEC</i> , con el <i>TESTCHIP</i> , vehículo, datos de caracterización de los test <i>PCM</i> y análisis de construcción.

8.2.4 ANÁLISIS DE RIESGOS

El diseño de un plan de cualificación, conlleva el estudio y análisis de gran cantidad de información provenientes de todas las fases que conlleva la creación de un circuito integrado. Esta información ha de ser procesada y analizada para poder diseñar un plan de cualificación con éxito. Existen herramientas que permiten dar soporte a la toma de decisiones, las más conocidas son: *FMEAs* o *risk assessment tools*. Al igual que en el diseño de la *Fase de Calidad 3*, estas herramientas pueden usarse en el diseño del plan de cualificación., mediante un análisis de cada una de los factores de riesgo consideradas en dicho plan.

8.2.5 CONSIDERACIONES DE LA FASE DE CALIDAD 1

Desde el punto de vista de un proceso de cualificación de un circuito integrado los elementos más importantes a tener en cuenta desde el punto de vista de la *Fase de Calidad 1* detallan en la siguiente tabla (*Tabla 8.V*).

Un correcto análisis de los datos de fabricación y la detección de lotes de baja calidad son cruciales para ejecutar el proceso de cualificación con éxito.

Tabla 8.V: Información mínima que se ha de recopilar de la *Fase de Calidad 1* para el proceso de cualificación.

Información necesaria	Descripción
Datos de la fase de test <i>PCM</i> para los lotes usados en la cualificación	Análisis de datos de producción que permita identificar lotes de baja calidad que puedan hacer fallar el proceso de cualificación. Se han de seleccionar los mejores lotes, no consecutivos si fuera posible.
Datos de la fase de test o prueba del circuito integrado a nivel de oblea	El análisis de datos de la funcionalidad de los circuitos integrados a nivel de oblea, permite identificar el impacto de un bajo rendimiento en la fase de test <i>PCM</i> en la funcionalidad y calidad del circuito integrado.
Descripción del sistema de test	Información del sistema de test, placa de pruebas, tecnología de contacto, localización, persona a cargo, descripción del probador de obleas.

8.2.6 CONSIDERACIONES DE LA FASE DE FABRICACIÓN 3

Desde el punto de vista de un proceso de cualificación de un circuito integrado, los elementos más importantes a tener en cuenta desde el punto de vista de la *fase de fabricación 3* detallan en la siguiente tabla (*Tabla 8.VI*).

Tabla 8.VI: Información mínima que se ha de recopilar de la *Fase de Fabricación 3* para el proceso de cualificación.

Información necesaria	Descripción
Descripción del proceso de empaquetado utilizado	Descripción del proceso de fabricación, nodo tecnológico, localización de la fábrica y empresa a cargo.
Descripción del paquete y materiales	Componentes usados en la fase de empaquetado, materiales y dimensiones.
<i>Lead times</i> para la fase de empaquetado	Identificación de las obleas, lotes que se van a fabricar, fechas de fabricación y costes de los lotes que serán utilizados en el proceso de cualificación.
Marcado de los paquetes usado para la fase cualificación	Las muestras usadas en la fase de cualificación pueden tener un marcado especial. Dentro del marcado, ha de aparecer el tipo de lote.
Datos de cualificación	Informe de cualificación de empresa de empaquetado sobre el circuito integrado si existiera.

8.2.7 CONSIDERACIONES DE LA FASE DE CALIDAD 2

Desde el punto de vista de un proceso de cualificación de un circuito integrado, los elementos más importantes a tener en cuenta desde el punto de vista de *la fase de calidad 2* detallan en la siguiente tabla (*Tabla 8.VII*).

Tabla 8.VII: Información mínima que se ha de recopilar de la *Fase de Calidad 2* para el proceso de cualificación.

Información necesaria	Descripción
Datos de la fase de test	Datos eléctricos de cada muestra, ubicación, versión del sistema de pruebas, día de ejecución, versión de sistema de test y el operador que ejecuto las pruebas.
Descripción del sistema de test	Información del sistema de test, placa de carga, localización, persona a cargo, descripción del manejador de pruebas

8.3 FASE DE DISEÑO: CREACIÓN DE LA ARQUITECTURA DE CUALIFICACIÓN

Esta fase implica procesar toda la información contenida en la documentación del plan de cualificación para diseñar la arquitectura correspondiente. Toda la información relativa al diseño de la arquitectura ha de ser documentada dentro del plan de cualificación, en diferentes capítulos que permitan un desglose completo del proyecto, decisiones tomadas y pasos seguidos en la fase de diseño.

Algunos de los documentos mínimos necesarios:

- ✓ Especificaciones de diseño de la arquitectura de *hardware* de cualificación.
- ✓ Descripción del proceso de cualificación en un diagrama de flujo que identifique personas a cargo en cada fase, tarea necesaria, ubicación y persona a cargo.
- ✓ Diseño del plan de ejecución que identifique los tiempos de trabajo para el proceso anteriormente mencionado.

8.3.1 ANÁLISIS DE COSTES Y ESTIMACIÓN DE LOS TIEMPOS DE EJECUCIÓN

Para poder diseñar una estimación de costes y de tiempos de ejecución es necesario tener diferentes propuestas para ejecutar la cualificación. Estas propuestas han de considerarse desde: el punto de vista de arquitectura de hardware, complejidad del producto, pruebas de cualificación que se han de ejecutar, ubicaciones de los test de estrés, medición eléctrica y personal a cargo de las mismas. Estas propuestas deberían contener al menos los siguientes puntos para permitir al personal a cargo tomar las decisiones más adecuadas:

- ✓ Descripción técnica de las propuestas con un desglose completo de sus ventajas y desventajas.
- ✓ Tiempos de ejecución y costes de cada una de ellas.

Existen herramientas como *DFMEAs (Design Failure Mode and Effects Analysis)* y *PFMEAs (Process Failure Mode and Effects Analysis)* que permiten determinar la calidad y riesgo de fallo de una propuesta. Incluir el resultado de un análisis de riesgo es un factor diferenciador y puede ayudar a reducir el riesgo de fallo.

8.3.2 SELECCIÓN DE LAS PRUEBAS DE CUALIFICACIÓN Y SU ALCANCE

Las pruebas mínimas necesarias, el número de muestras, así como el procedimiento para la cualificación están totalmente reglamentados por la organización *JEDEC*. El estándar *JEDEC* dentro de su procedimiento *JEP150A* [80] tiene registrados todos los mecanismos de fallo más comunes hasta la fecha. Uno de los primeros pasos en el diseño de un plan de cualificación está en decidir si estos mecanismos de fallo son suficientes, o se requieren pruebas de cualificación específicas para estudiar mecanismos de fallo no documentados. Esta decisión es de especial importancia cuando la tecnología que se desea cualificar, está clasificada como no convencional.

JEDEC mediante su procedimiento *JESD47* [81] (*Stress-Test-Driven Qualification of Integrated Circuits*) establece las pautas básicas. A continuación, se detallan las pruebas de cualificación, y cuál es su propósito dentro de las diferentes partes de un circuito integrado.

Este libro, establece una clasificación de las pruebas de cualificación en grupos como se propone en el estándar de calidad *AEC (Automotive Electronic Council)*. Este modo de clasificación permite entender de manera más clara cómo se agrupan las pruebas de cualificación y cuál es su propósito. El modo de ejecución de las pruebas de cualificación presentado en este libro está alineado con el estándar *JEDEC*.

Del mismo modo que la *Fase de Cualificación 1*, las muestras usadas en la *Fase de Cualificación 2* han de provenir de 3 lotes no consecutivos.

El estándar *JEDEC* establece el número de muestras mínimas recomendadas para cada prueba de cualificación en el procediendo *JESD47* [81] (*Stress-Test-Driven Qualification of Integrated Circuits*) [81]. Este número de muestras pueden incrementarse o variar para el estudio de nuevos criterios de fallo. La metodología para establecer el número de muestras se detalla en el *Apéndice E*.

PRUEBAS DE CUALIFICACIÓN DENTRO DEL GRUPO A

Las pruebas de cualificación englobadas dentro del *Grupo A*, se caracterizan por el estudio del comportamiento del circuito integrado ante efectos medioambientales como son: humedad, presión o temperatura. Las pruebas de cualificación del *Grupo A* tienen un criterio de aceptación de 0 fallos. Ninguna muestra ha de fallar después de las pruebas de estrés.

A continuación (*Tabla 8.VIII*) se detalla el grupo de test para los paquetes no herméticos:

Tabla 8.VIII: Pruebas de estrés clasificadas dentro del *Grupo A* para paquetes no herméticos [81].

Pruebas de cualificación	Muestras	Descripción del procedimiento
<i>Pre-acondicionamiento (PRECON)</i>	3 lotes con 308 muestras/lote	<i>J-STD-020</i> [82], <i>JESD22-A113</i> [83]
<i>Temperature Humidity Bias (THB) or Bias HAST (HAST)</i>	3 lotes con 77 muestras/lote	<i>JESD22-A101</i> [84] o <i>JESD22-A110</i> [73]
<i>Autoclave (AC) or Unbiased HAST (UHAST)</i>	3 lotes con 77 muestras/lote	<i>JESD22-A102E</i> [76], <i>JESD22 -A118</i> [75], o <i>JESD22-A101</i> [84]
<i>Temperature Cycling (TC)</i>	3 lotes con 77 muestras/lote	<i>JESD22-A101 and Appendix 3</i> , [52]
<i>Power Temperature Cycling (PTC)</i>	3 lotes con 77 muestras/lote	<i>JESD22-A105</i> , [85]
<i>High Temperature Storage Life (HTSL)</i>	3 lotes con 77 muestras/lote	<i>JESD22-A103</i> [86]

A continuación (*Tabla 8.IX*) se detalla el grupo de test para los paquetes herméticos:

Tabla 8.IX: Pruebas de estrés clasificadas dentro del *Grupo A* para paquetes herméticos [81].

Pruebas de cualificación	Muestras	Descripción del procedimiento
<i>Pre-acondicionamiento (PRECON)</i>	3 lotes con 90 muestras/lote	<i>J-STD-020 JESD22-A113</i> [83]
<i>Temperature Cycling (TC)</i>	3 lotes con 77 muestras/lote	<i>JESD22-A104 and Appendix 3</i> [52]

Algunas pruebas de cualificación como son *Temperature Humidity Bias* o *Bias HAST* [73] pueden ser intercambiados debido a que ambos poseen el mismo factor de aceleración. El factor de aceleración se calcula a partir de las ecuaciones detalladas en los anexos y en el capítulo 8.5.

PRUEBAS DE CUALIFICACIÓN DENTRO DEL GRUPO B

Las pruebas de cualificación englobadas dentro del *Grupo B*, tienen la función de estudiar la vida del componente electrónico y de sus componentes entre ellos las memorias *NVM (Non-Volatile Memories)*. Estas pruebas de estrés se realizan con el control de los factores de aceleración tanto a nivel de temperatura como de voltaje. Las pruebas de cualificación del *Grupo B* tienen un criterio de aceptación de 0 fallos. Ninguna muestra ha de fallar después de las pruebas de estrés.

Tabla 8.X: Pruebas de estrés clasificadas dentro del *Grupo B* [81].

Pruebas de cualificación	Muestras	Descripción de procedimiento
<i>High Temperature Operating Life (HTOL)</i>	3 lotes con 77 muestras/lote	<i>JESD22-A108</i> [86]
<i>Early Life Failure Rate (ELFR)</i>		<i>JESD22-A108</i> [86]
<i>Low Temperature Operating Life (LTOL)</i>	3 lotes con 77 muestras/lote	<i>JESD22-A108</i> [86]
<i>Electrical Parameter Assessment (EP)</i>	3 lotes con 10 muestras/lote	<i>JESD86</i> [87]
<i>Nonvolatile Memory Uncycled High Temperature Data Retention (UCHTDR)</i>	3 lotes con 77 muestras/lote	<i>JESD22- A117</i> [88]
<i>Nonvolatile Memory Cycling Endurance (NVCE)</i>	3 lotes con 77 muestras/lote	<i>JESD22- A117</i> [88]
<i>Nonvolatile Memory Postcycling High Temperature Data Retention (PCHTDR)</i>	3 lotes con 77 muestras/lote	<i>JESD22- A117</i> [88]
<i>Nonvolatile Memory LowTemperature Retention and Read Disturb (LTDR)</i>	3 lotes con 77 muestras/lote	<i>JESD22- A117</i> [88]

PRUEBAS DE CUALIFICACIÓN DENTRO DEL GRUPO C

Las pruebas de cualificación englobadas dentro del *Grupo C*, tienen como objetivo estudiar la fiabilidad del proceso de empaquetado e integridad de los sistemas que lo componen. Este procedimiento es genérico para todos los procesos de empaquetado tanto tradicional como avanzado.

En este grupo de pruebas cualificación se estudia la integridad de las dimensiones del paquete, calidad de las bolas de soldadura o *solder bumps* y bobinado si lo hubiere.

Las pruebas de cualificación del *Grupo C* tienen un criterio de aceptación de 0 fallos. Ninguna muestra ha de fallar después de las pruebas de estrés.

A continuación (*Tabla 8.XI*) se detalla el grupo de pruebas de estrés para paquetes no herméticos:

Tabla 8.XI: Pruebas de estrés clasificadas dentro del *Grupo C* para paquetes no herméticos [81].

Pruebas de cualificación	Muestras	Descripción de procedimiento
<i>Bond Shear (BS)</i>	30 cables de 5 dispositivos	<i>JESD22 B116</i> [89]
<i>Wire Bond Pull (WBP)</i>	30 cables de 5 dispositivos	<i>JESD22-B120</i> [90]
<i>Bond pull shear (BPS)</i>	1 lote con 5 unidades/30 bobinas por unidad	<i>JESD22- B116</i> [89]
<i>Solderability (SD)</i>	1 lote con 15 muestras/lote	<i>JESD22-B102</i> [91]
<i>Physical Dimensions (PD)</i>	3 lotes de 10 muestras/lote	<i>JESD22-B100</i> [92]
<i>Solder Ball Shear (SBS)</i>	3 lotes de 5 muestras/lote	<i>JESD22-B117</i> [93]
<i>Lead Integrity (LI)</i>	1 lote	<i>JESD22-B105</i> [94]
<i>Bump Shear Test (BST)</i>	10 bolas/pilares por cada lote	<i>JESD22-B117</i> [93]
<i>Tin Whisker Acceptance (WSR)</i>	...	<i>JESD22 -A121</i> [95]

A continuación (*Tabla 8.XII*) se detalla el grupo de pruebas de estrés para paquetes herméticos:

Tabla 8.XII: Pruebas de estrés clasificadas dentro del *Grupo C* para paquetes herméticos [81].

Pruebas de cualificación	Muestras	Descripción de procedimiento
<i>Bond Pull (BP)</i>	30 cables de 5 dispositivos	<i>JESD22- B116</i> [89] [96]
<i>Wire Bond Shear (WBS)</i>	30 cables de 5 dispositivos	<i>JESD22- B116</i> [89]
<i>Bond Pull Shear (BPS)</i>	1 lote con 5 unidades/30 bobinas por unidad	<i>JESD22- B116</i> [89]
<i>Solderability (SD)</i>	1 lote con 15 muestras/lote	<i>JESD22-B102</i> [91]
<i>Solder Ball Shear (SBS)</i>	3 lotes de 5 muestras/lote	<i>JESD22-B117</i> [93]
<i>Mechanical shock</i>	3 lotes de 39 muestras/lote	<i>JS9703</i> [97]
<i>Vibration Variable Frequency</i>	<i>JESD22-B103B</i> [98]
<i>Constant Acceleration</i>	<i>MIL-STD-750-2</i> [99]
<i>Gross /Fine Leak, Hermeticity (GFL)</i>		<i>JESD22- A109</i> [100]
<i>External Visual (EV)</i>		<i>JESD22-B101D</i> [101]
<i>Physical Dimensions (PD)</i>	3 lotes de 10 muestras/lote	<i>JESD22-B100</i> [92]
<i>Lead Integrity (LI)</i>	1 lote	<i>JESD22-B105</i> [94]
<i>Lead Torque (LT)</i>	1 lotes de 5 muestras/lote	<i>MIL-STD-883</i> [102]
<i>Internal Water Vapor</i>	1 lotes de 1 muestras/lote	<i>MIL-STD 883</i> [102]
<i>Tin Whisker Acceptance (WSR)</i>	<i>JESD22 -A121</i> [95]

PRUEBAS DE CUALIFICACIÓN DENTRO DEL GRUPO E

Este tipo pruebas, tienen la función de verificar la capacidad funcional de algunos de los bloques dentro de un circuito integrado, como son los circuitos de protección contra descargas electrostáticas. Estas pruebas, se suelen realizar instrumentación especializada, como son los equipos automáticos de prueba de descargas electrostáticas o compatibilidad electromagnética

Estas pruebas de cualificación, se realizan con un número de muestras inferior a las usadas en las pruebas medioambientales. Esto se debe a que son pruebas en las que se buscan fallos puntuales.

Las pruebas de cualificación del *Grupo C* tienen un criterio de aceptación de *0 fallos*. Ninguna muestra ha de fallar después de las pruebas de estrés.

Tabla 8.XIII: Pruebas de estrés clasificadas dentro del *Grupo E* [81].

Pruebas de cualificación	Muestras	Descripción de procedimiento
<i>Latch-Up (LU)</i>	1 lote con 3 muestras /Lote	<i>JESD78</i> [55]
<i>Electrical Parameter Assessment (EPA)</i>	3 lotes con 3 muestras /Lote	<i>JESD86</i> [87]
<i>Human Body Model ESD (ESD HBM)</i>	1 lote con 3 muestras /Lote	<i>JS-001</i> [103]
<i>Charged Device Model ESD (ESD CDM)</i>	1 lote con 3 muestras /Lote	<i>JESD22-C101</i> [104]
<i>Accelerated Soft Error Testing (AST)</i>	1 lote con 3 muestras /Lote	<i>JESD89-2</i> [105], <i>JESD89-3</i> [106]
<i>“OR” System Soft Error Testing (OR)</i>	<i>Ver procedimiento</i>	<i>JESD89-1</i> [107]
<i>Characterization (CHAR)</i>	<i>AEC Q003</i> [108]
<i>Electrical Distribution (ED)</i>	3 lote con 10 unidades/lote	<i>JESD86</i> [87]
<i>Electromagnetic Compatibility (EMC)</i>	<i>SAE J1752/3</i> [109]

8.3.3 SELECCIÓN DE INSTRUMENTACIÓN Y TECNOLOGÍA

El standard de calidad *JEDEC* establece procedimientos, rutinas, rangos de estrés, recomendaciones, perfiles de señales para las pruebas de cualificación, pero no obliga a utilizar un instrumento u otro. Por esta razón se ha de entender qué tipo de tecnología es necesaria para la ejecución de las pruebas de cualificación y que posibilidades existen. En la de cualificación se pueden encontrar dos perfiles empresariales:

- ✓ *Empresas de fabricación tecnológica:* estas empresas se centran en crear instrumentos de precisión para ejecutar el proceso de cualificación de manera automática y autónoma. No es requisito indispensable u obligatorio usar esta tecnología, se puede crear un sistema de pruebas customizado, pero ha de adaptarse en los estándares de calidad en términos de precisión, protección *ESD*, calibración entre otras características. Algunos de los suministradores más comunes de este tipo de tecnología detallan a continuación (*Tabla 8.IV*):

Tabla 8.XIV: Suministradores de tecnología y servicios para la cualificación de productos electrónicos [81] [17].

Equipo	Tipo de pruebas	Suministrador
Probadores de ESD o LU	ESD o LU	Thermo Physer, Att Group, Fisher Scientific, entre otras.
Caracterizadores Bobinado y sistemas de empaquetado	BPS, WBS, SBS o BS	FS Bondtek, Picotech, Norson entre otras.
Forzadores de temperatura	ELFR, HTOL AC HAST, TC, THB	Weistechnik, Advance Tech Equipment Corporation, KOMEG entre otras.

La ventaja principal de poseer esta instrumentación es que te permite controlar la ejecución las pruebas de estrés y todos sus pasos intermedios. Las principales ventajas de controlar el proceso de ejecución están en el control del manejo de las muestras, lo que reduce el riesgo de fallos por ESD o EOS [111] y la reducción de costes caso de repetir la cualificación. Las desventajas más aparentes están en que este tipo de instrumentación y equipos son caros, requieren formación, mantenimiento y una calibración anual.

- ✓ *Empresas especializas en proveer servicios de ejecución:* estas empresas se centran en ofrecer servicios para la ejecución de las pruebas de cualificación o pruebas eléctricas. La ejecución de las pruebas eléctricas pre-cualificación dentro de la *Fase de Calidad 2*, tiene sentido cuando se realiza dentro de la *Fase de Fabricación 3* una vez terminada la fase de empaquetado, pero una vez terminado las pruebas de cualificación o durante lecturas intermedias sería más complejo. Esto se debe a que generalmente las instalaciones donde se realiza la *Fase de Calidad 2* son instalaciones de producción masiva. Este tipo de instalaciones, trabajan de manera continua e ininterrumpida, esto dificulta la posibilidad de reservar equipos de medición como, son los sistemas automáticos de pruebas para realizar las pruebas eléctricas después de las pruebas de *cualificación* en días específicos.

Por esta razón, existen empresas especializas en proveer servicios de ejecución. Estas empresas tienen entornos controlados medioambientalmente, en protección ESD, y generalmente poseen instrumentos para ejecutar las pruebas de cualificación y equipos automáticos de pruebas. Para poder ejecutar estas pruebas, este tipo de proveedores de servicios, ha de poseer la misma arquitectura de pruebas que la usada en la *Fase de Calidad 2*. Para poder ejecutar las pruebas eléctricas pos-cualificación con éxito en una ubicación diferente a la usada en la *Fase de Calidad 2* requiere un informe de correlación antes de realizar cualquier prueba eléctrica.

Un informe de correlación, es un documento de calidad que permite estudiar la variabilidad de dos o más sistemas de medición en localizaciones diferentes. Existen procedimientos estandarizados como el proporcionando por el estándar IPC en su

procedimiento *IPC-TM-650* [57] o el procedimiento *ANOVA* de la metodología *Six Sigma*.

Algunas de las empresas más conocidas en *Europa* que ofrecen estos servicios son: *Roodmicrotek*, *EuroFins Maser*, *EAG Laboratories*, *Salland Engineering* y *Microtest* [64].

La decisión de adquirir tecnología o subcontratar parte de la ejecución del proceso de cualificación, depende principalmente de los siguientes factores:

- ✓ *Recursos propios de la empresa y presupuesto*: El poseer tecnología es importante para poseer independencia y emprender estudios de manera autónoma, pero las instalaciones han de estar acondicionadas, de acuerdo con los estándares específicos. Algunos de los estándares más conocidos es el estándar *ANSI/ESD S20.20* [112].
- ✓ Tiempo límite para terminar el proceso de cualificación.
- ✓ Formación necesaria.
- ✓ Complejidad del producto a cualificar.

8.3.4 DISEÑO DE LA ARQUITECTURA DEL HARDWARE DE CUALIFICACIÓN

El *hardware* de cualificación tiene la función de poner el circuito integrado en un estado activo durante las diferentes pruebas de estrés. Este *hardware* es conocido en inglés como *hardware de burn in*.

A lo largo de este capítulo se describirán los siguientes puntos del *hardware de burn in*:

- ✓ Tipos de *hardware* que se ha de diseñar y su clasificación más común.
- ✓ Arquitecturas más comunes y sus consideraciones más relevantes.
- ✓ Selección de componentes más apropiados.
- ✓ Procedimientos de diseño y análisis de riesgos.

Los test de cualificación que requieren algún tipo de hardware específico, se resumen en la siguiente tabla:

Tabla 8.XV: Clasificación del tipo de *hardware* usado en un proceso de cualificación [113], [73], [54].

Test de cualificación	Tipo de hardware	Descripción
<i>Temperature Humidity Bias or Bias HAST</i>	<i>Hardware de estrés</i>	
<i>High Temperature Operating Life</i>	<i>Hardware de estrés</i>	
<i>Early Life Failure Rate</i>	<i>Hardware de estrés</i>	
<i>Low Temperature Operating Life</i>	<i>Hardware de estrés</i>	<i>Hardware que permita activar el componente electrónico durante la fase cualificación</i>
<i>Nonvolatile Memory Uncycled High Temperature Data Retention</i>	<i>Hardware de estrés</i>	
<i>Nonvolatile Memory Cycling Endurance</i>	<i>Hardware de estrés</i>	
<i>Nonvolatile Memory Postcycling High Temperature Data Retention</i>	<i>Hardware de estrés</i>	
<i>Nonvolatile Memory LowTemperature Retention and Read Disturb</i>	<i>Hardware de estrés</i>	
<i>Latch-Up</i>	Adaptador	Adaptadores para los equipos de pruebas
<i>Human Body Model ESD</i>	Adaptador	
<i>Charged Device Model ESD</i>	Adaptador	
<i>Electromagnetic Compatibility</i>	Adaptador	
<i>Characterization</i>	<i>Hardware de pruebas</i>	<i>Hardware que permita probar la funcionalidad completa de circuito integrado</i>
<i>Electrical Distribution</i>	<i>Hardware de pruebas</i>	

El *hardware* es una pieza muy importante para poder ejecutar el proceso de cualificación de un circuito integrado o un componte electrónico. Los tipos placas de circuito impreso que se han de diseñar se resumen a continuación:

- ✓ *Hardware de estrés.*: Estas placas de circuitos impresos, permiten activar el componente electrónico durante las pruebas de cualificación.
- ✓ *Adaptadores.*: Estas placas de circuito impreso, permiten al circuito integrado aptarse a otra placa con otra funcionalidad, placas de carga de sistemas automáticos de pruebas o similares.
- ✓ *Hardware de pruebas*: Son placas de circuito impreso, que permiten probar la funcionalidad eléctrica del circuito electrónico. Este *hardware* puede ser idéntico al descrito de *La Fase de Calidad 2* del capítulo 7.

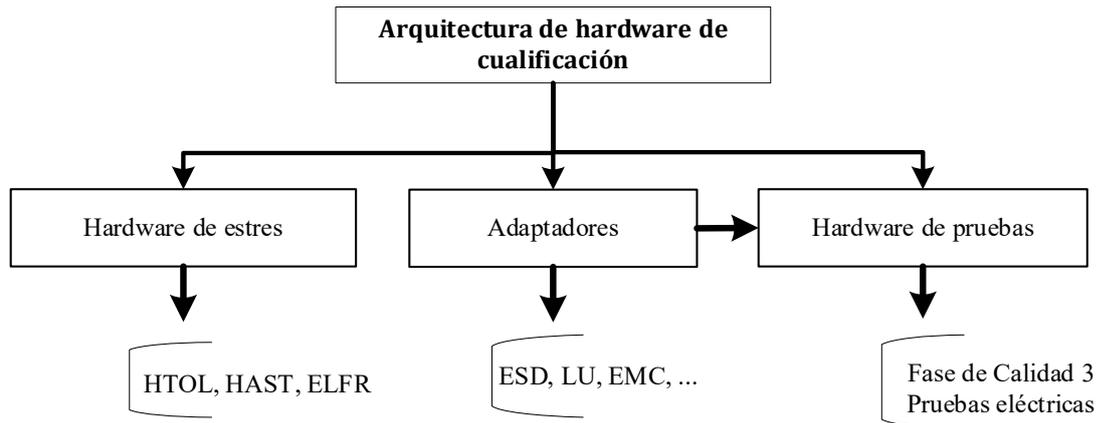


Figura 8.II: División de la arquitectura de hardware de la *Fase de Cualificación 2* [113].

El diseño y conceptualización de cualquier proyecto electrónico, está sujeto a unos requisitos de diseño iniciales se han de cumplir escrupulosamente. Los requisitos de diseño pueden ser amplios y dispares, esto hace que el riesgo de fallo en la fase de diseño se incremente ya que un proceso de cualificación, requiere analizar todos los factores críticos desde fase de diseño del circuito integrado o componente hasta la fabricación física del mismo.

El proceso de diseño de una arquitectura de *hardware* de cualificación tiene las mismas consideraciones y requiere los mismos pasos que los recomendados en el *capítulo 5.4.* de la *Fase Calidad 1 y 2.* Por ello, el diseño de la arquitectura ha de poseer al menos las siguientes fases:

- ✓ *Fase de conceptualización:* Durante esta fase se estudian y se proponen todas arquitectura de hardware posibles para el plan de cualificación. Del mismo modo que en la *Fase de Calidad 1 y 2,* se recomienda crear un proceso de *FMEAs* que permita identificar el mejor concepto para el plan de cualificación establecido y determinar los factores de riesgo y las medidas de control para mitigarlos.
- ✓ *Fase de diseño:* Durante esta fase se diseña y se fabrica el hardware de cualificación para crear un producto terminado.
- ✓ *Fase de puesta en marcha:* Durante esta fase se verifica que el *hardware* de cualificación cumple las especificaciones de diseño establecidas.

HARDWARE DE ESTRÉS

La conceptualización del *hardware* de cualificación depende del tipo de arquitectura necesaria y de los requisitos de diseño establecidos. De manera general, la arquitectura del *hardware* de estrés se puede dividir en dos tipos de soluciones:

1. *Arquitectura basada en el uso de sockets de cualificación:* Un *socket* de cualificación es una pieza de hardware de alta calidad que tiene la función de contener el *DUT.* Existen diferentes *sockets* para diferentes tipos de paquetes. Los *sockets* se pueden fabricar bajo petición para cualquier tipo de empaquetado. La siguiente figura muestra de manera gráfica las partes básicas de un *socket* de cualificación.

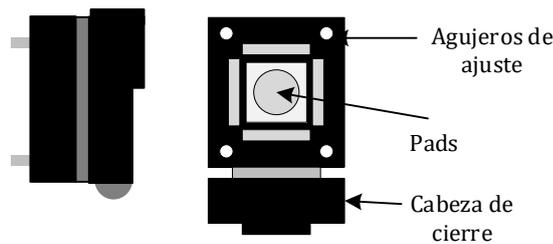


Figura 8.III: Esquema de un socket *camp Shell* de cualificación (Izquierda visa de perfil, derecha vista superior). (Proveedores: Ver *Tabla 7.2*).

Los sockets, tienen un ciclo de vida corto generalmente de entrono a 2000 horas de estrés. Debido a su alto coste, algunos proveedores ofrecen servicios de mantenimiento. Este tipo de servicio, permite la reparación de los sockets de cualificación después de las pruebas de estrés. Esto permite, por un lado, la reutilización de tecnología, lo que reduce los costes sustancialmente, y por otro, a alarga el ciclo de vida de este tipo de componentes.

La tecnología de *sockets* más tradicional se puede clasificar en dos categorías dependiendo de su modo de ensamblaje en la placa de circuito impreso, como son: *sockets* de agujero pasante o contacto superficial.

Las placas de circuito impreso sobre las que instalan los *sockets* de cualificación contienen toda la electrónica necesaria para la activación de las muestras. Por otro lado, este tipo placas puede contener toda la electrónica necesaria para monitorizar los parámetros más importantes durante las pruebas de estrés, como pueden ser, sistemas de protección de medición de corrientes o voltajes y el sistema comunicación en tiempo real con las muestras que se están cualificando.

El número de *sockets* que se pueden incluir dentro de una placa de circuito impreso, depende de las dimensiones, la complejidad y de los parámetros mecánicos del equipo usado en la ejecución de las pruebas de cualificación, como pueden ser los hornos medioambientales.

En el en el caso de las pruebas de estrés de tipo *HTOL* [86], el horno medioambiental ha de estar operativo durante 1000 horas, por ello, es necesario estresar tantas muestras como sea posible a la vez, para reducir así los tiempos de trabajo.

A continuación, se detallan algunas de las características más importantes que ha de poseer este tipo de *hardware*:

- ✓ Los materiales han de operar a rangos de 150 grados centígrados: El material ideal para este tipo de placas suele ser *FR4 HTG >170* grados centígrados.

- ✓ Se ha incluir protección térmica en los componentes pasivos, para alargar su vida como es “*coating protection*” o revestimiento para temperaturas superiores a los 150 grados.
- ✓ *Han de poseer buenas capacidades mecánicas*: Las placas pierden capacidades mecánicas después de varias horas a altas temperaturas. Es necesario seleccionar espesores adecuados para permitir su reutilización. El espesor recomendado ha de ser superior a *1.6 mm*.
- ✓ Las placas han de tener una separación de al menos de 2 cm de las esquinas del horno medioambientales. Esto permite operarlas con una mayor flexibilidad.
- ✓ *Protección contra sobre-corrientes*: Las placas que circuito impreso que se deseen utilizar en pruebas de cualificación del tipo *HTOL* [86] o *HAST* [73] han de incluir fusibles de protección en las líneas de suministro en caso de que alguno falle durante el estrés no active los límites de corriente. Por esta razón la monitorización de la corriente es un factor crucial. Permite conocer el momento del fallo e identificar el componente sin parar el test de estrés.
- ✓ Incluir protecciones contra sobre voltajes y transitorios inesperados con diodos específicos.
- ✓ Incluir protección contra voltajes inversos o “*Reverse Voltaje Protection*” en conexiones de suministro de voltajes.
- ✓ Diseñar el *hardware* en un máximo de 4 capas para reducir costes y garantizar su finalidad.
- ✓ El *hardware* de cualificación ha de poseer capacidad modular para optimizar el espacio dentro de los equipos de cualificación como son los hornos.
- ✓ Todos los componentes seleccionados, ya sean resistencias o conectores han de poder funcionar con fiabilidad al menos a 150 grados centígrados.
- ✓ Se ha de seleccionar el espesor de las capas de cobre del *hardware* de cualificación para permitir una correcta disipación de temperatura durante las pruebas de cualificación.
- ✓ Debido a los altos costes de fabricación ya que en algunos pueden superar los 100.000 euros, se recomienda diseñar el *hardware* para poder ser reutilizado en diferentes procesos de cualificación.
- ✓ En algunos casos es interesante posee un sistema de iluminación con diodos *LEDs* que permita detectar de manera visual cuando una muestra ha fallado.
- ✓ En determinadas ocasiones se puede requerir un control inteligente de las muestras mediante buses de comunicación. Todos los componentes utilizados han de estar fabricados para rangos de temperatura superiores o iguales a los 150 grados.
- ✓ Priorizar la en la selección de componentes simplicidad y fácil mantenimiento a sofisticación.
- ✓ Cualquier conector macho o hembra usado en estas placas ha de estar diseñado para operar en rangos de 150 grados centígrados.

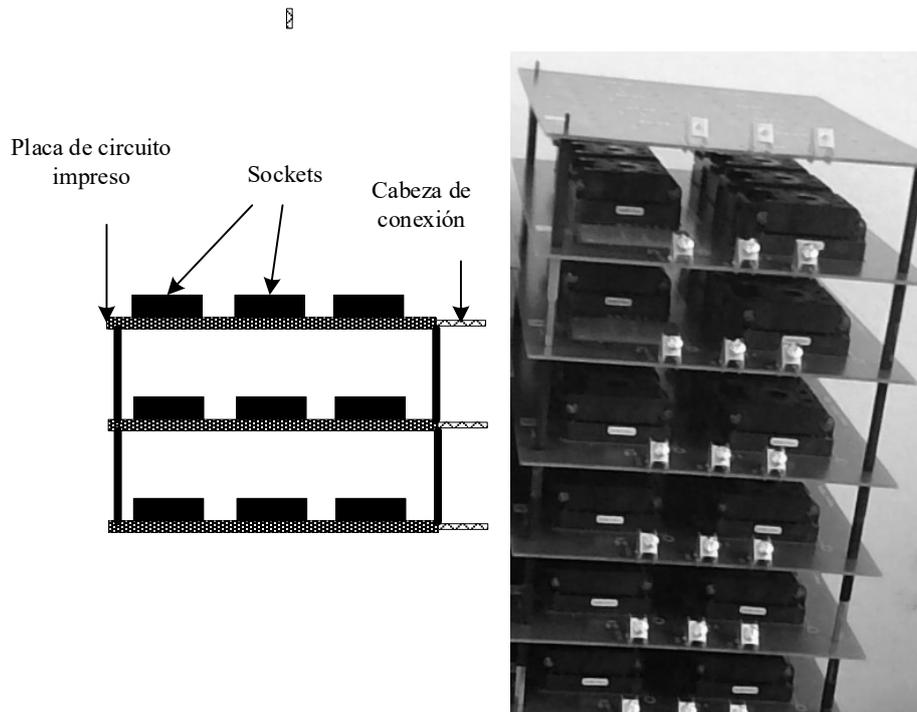


Figura 8.IV: Ejemplo de una placas de cualificación usada en *HTOL* y *HAST* [73] (Derecha).

2. *Arquitectura basada en el uso de cupones:* El uso de cupones, permite tener una solución más barata que el uso de *sockets*. Esto permite reducir los costes en hasta un 50%. El estándar de calidad *JEDEC* en el procedimiento *JEP176* [113] aprueba el uso de este tipo de diseños.

Los cupones son placas de circuito impreso que contienen soldadas en su superficie, únicamente las muestras que se desea cualificar. La diferencia sustancial con el uso de una arquitectura de *sockets*, es que en muchos casos, el *chip* no se puede desoldar de la placa de circuito impreso, por ello, para poder realizar las pruebas eléctricas antes y después de las pruebas de cualificación en una placa de carga como la detallada en la *Fase de calidad 3*, ha de poseer de un adaptador.

El uso de arquitectura de cupones, requiere dos pruebas eléctricas con su análisis de datos correspondiente. Estas pruebas eléctricas se han de realizar antes y después del ensamblado en las placas de circuito impreso de los cupones. Este análisis de datos debe realizarse para un número de muestras superior a 77 por lote, debido al riesgo de fallo de componentes después de la fase de ensamblado. En esta fase de ensamblaje, los criterios de fallo más comunes en componentes electrónicos son debidos a *ESD* (Descarga electrostática) o sobre-estrés de temperatura durante la fase soldado de las muestras en los cupones. Para evitar este tipo de fallos, lo recomendable es usar instalación con altos estándares de calidad en fabricación y ensamblaje de placas de circuito impreso.

La fase de soldadura, es especialmente importante si se desea usar una arquitectura de cupones en las pruebas de estrés conocidas como: *HAST* [73] o *THB*. Esto se debe, a que el estándar *JEDEC* requiere una fase de pre-acondicionamiento antes de su

ejecución. Durante la fase de pre-condicionamiento, las muestras se pueden someter hasta tres simulaciones de perfiles de soldadura. Esto se detalla en los procedimientos *J-STD-020* [83]. Esta característica, hace que se tengan que adaptar las condiciones de la fase de pre-acondicionamiento para una arquitectura basada en cupones. Esto se realiza mediante la contabilización del número de perfiles de soldadura usados en el ensamblaje de las muestras en las placas de circuito impreso. Esto se detalla en el procedimiento *JEP176* [113].

El uso de una arquitectura de cupones, requiere adaptar el procedimiento de las pruebas eléctricas antes y después de las pruebas de cualificación. A continuación, se resume el procedimiento más recomendable:

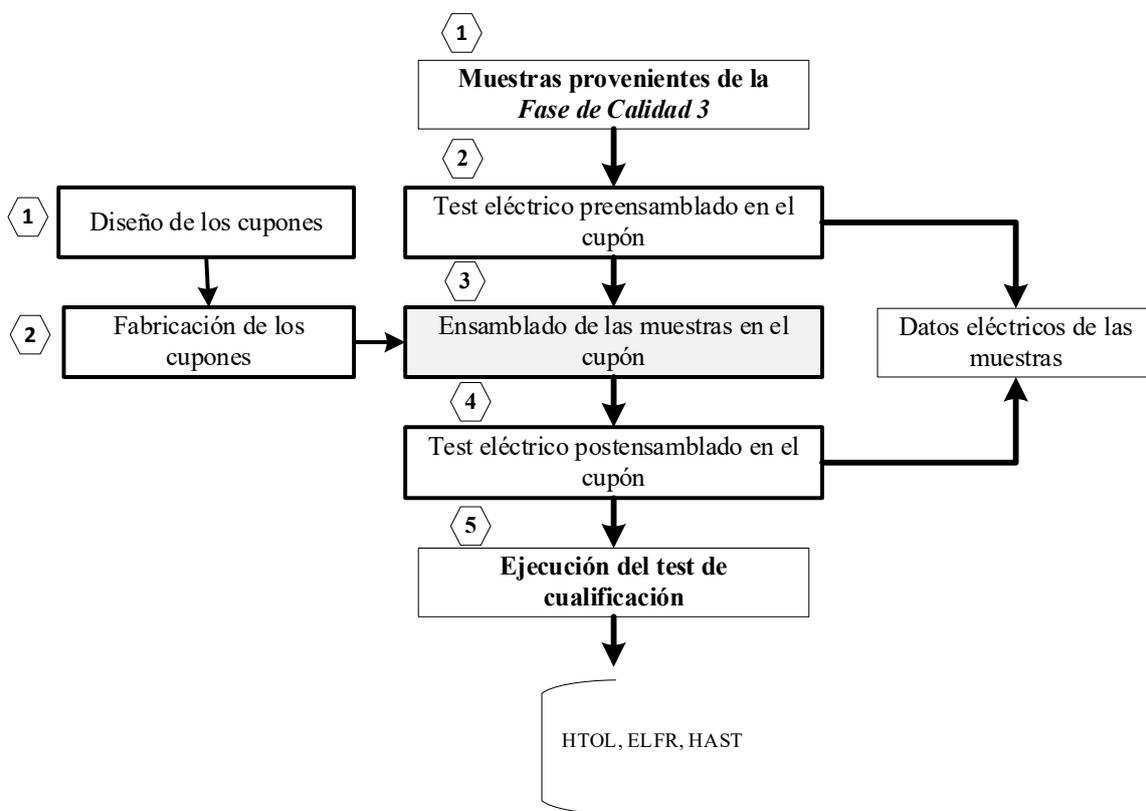


Figura 8.V: Proceso de cualificación y test eléctricos con el uso de cupones [113]

Existen diferentes características de cupones, los más comunes se basan en el uso de cabezas de conexión macho hembra a una placa con agujero pasante o mediante con una conexión de tipo *card edge*.

La tecnología *card edge*, permite reducir el coste en conectores sustancialmente, aunque generalmente suelen tener problemas de conexión a largo plazo debido a la oxidación de los *pads* durante las pruebas de estrés. Existen recomendaciones específicas, algunas de ellas están recopiladas dentro del estándar *JEP176* [113], pero

de manera general, estas placas han de estar diseñadas de manera específica para el circuito o componente electrónico que se desea cualificar.

La figura *Figura 8.VI*, muestra un ejemplo de un cupón para una cualificación de un producto electrónico que utiliza un método de empaquetado *BGA*. Este tipo de empaquetado avanzado, tiene una alta densidad de pines en un espacio muy pequeño. Esta densidad de pines hace que los cupones requieran, reglas de fabricación más complejas, debido principalmente, a las dimensiones de las vías, y los *pads* del paquete *BGA*. El uso de cupones en los procesos de cualificación para *BGA* tiene un riesgo de fallo superior.

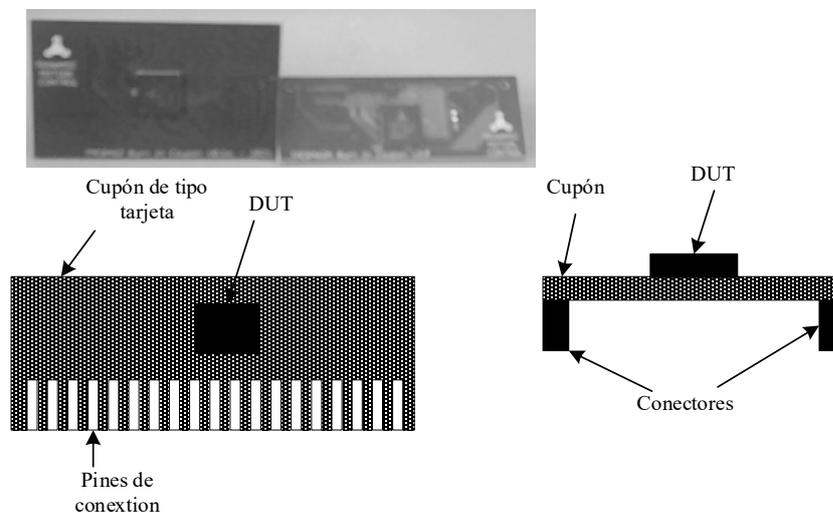


Figura 8.VI: Ejemplo de una arquitectura de cupones [113]

Los cupones, al igual que los *sockets*, han de estar conectados a una placa base cuyas dimensiones y características han de ser capaces de operar en los rangos de pruebas de estrés. Las características de estas placas de circuito impreso, así como las consideraciones de su diseño, son idénticas a las requeridas para las placas que utilizan *sockets*.

Por ello los cupones han de ser modulares, con posibilidad de ajustarse a placas de circuito impreso que contengan decenas o centenas de cupones.

Una de las grandes desventajas del uso de cupones aparece en los test medioambientales de tipo *HAST* [73] o *THB* [114]. Durante las pruebas de cualificación *HAST* o *THB* se controlan los parámetros de humedad y presión, esto hace que los puntos de unión de los conectores cupón a placa base se acumule cantidades grandes de humedad. Este incremento de humedad incrementa a su vez el riesgo de cortocircuitos. Estos cortocircuitos pueden dañar las muestras y en casos excepcionales puede suponer el rediseño o ejecución completa de la prueba de cualificación.

Una de las soluciones más recomendables para evitar cortocircuitos o corrosión temprana, es seleccionar conectores que puedan operar en rangos de 150 grados centígrados y proporcionen hermeticidad en las conexiones de conectores macho-hembra. Algunos proveedores de conectores como: los [115] *Gecko*, son capaces de operar en las condiciones de estrés de las pruebas de cualificación *HAST* [114].

A continuación (*Figura 8.VII*) se muestra un ejemplo de un prototipo de cupón para un paquete *BGA* y una placa base de estrés basada en una arquitectura de cupones para ser usada en el la prueba de cualificación *HTOL* [86] y *HAST* [114].

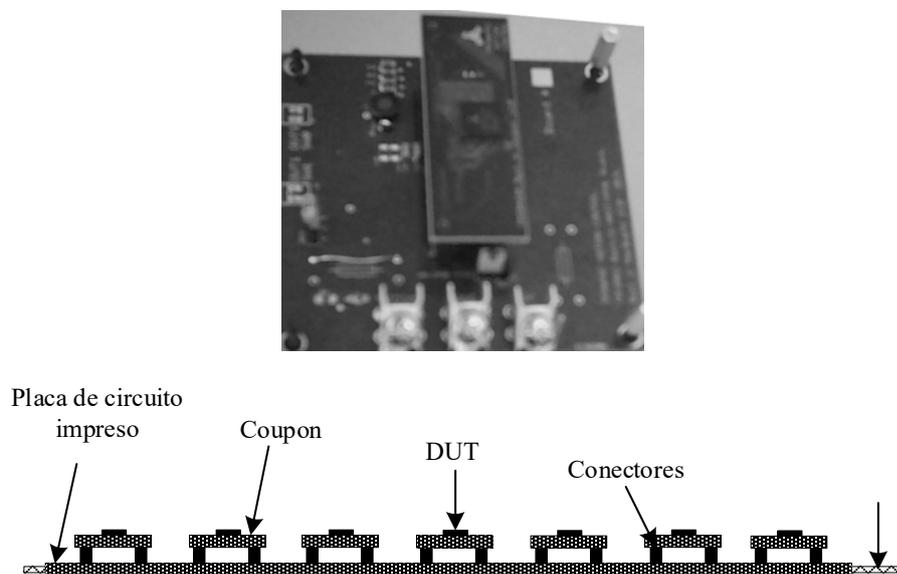


Figure 8.VII: Ejemplo de una placa base para ser usada en los test *HTOL* [86] o *HAST* [113].

ADAPTADORES

El grupo de *hardware* conocido como adaptadores, son placas simples que permiten la adaptación de las muestras a la configuración de diferentes equipos de pruebas. Estos equipos de pruebas, pueden ser usados en la medición de test eléctricos antes y después de las pruebas de cualificación o en las pruebas de cualificación como son las conocidas como *Latch up* o *ESD*.

En la *Figura 8.VIII*, se muestra un ejemplo básico del uso de un adaptador usado en una palca de carga para realizar las pruebas eléctricas a cupones antes y después de las pruebas de cualificación:

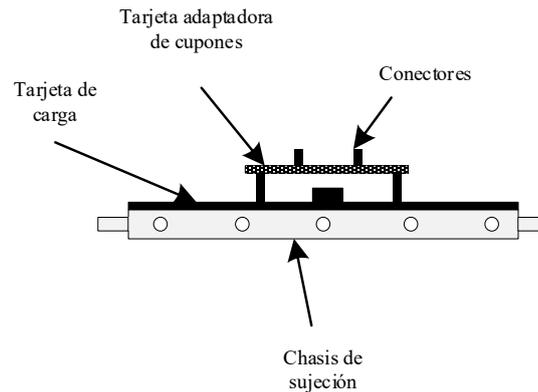


Figura 8.VIII: Ejemplo de configuración de un adaptador de cupones en una tarjeta de carga para test eléctricos [113].

Como puede observarse en la figura anterior, este tipo de adaptadores permiten extender las conexiones de los pines del paquete de las muestras usadas en el proceso de cualificación. Esto permite por ejemplo en el caso de una placa de carga usada en *la fase de calidad 2*, tener capacidad de probar componentes en producción masiva o cupones en la fase de cualificación el uso de un simple adaptador que actúa como conexión intermedia.

HARDWARE DE PRUEBAS

El *hardware* de pruebas es la placa de circuito impreso usada para realizar las pruebas eléctricas antes y después de las pruebas de cualificación.

Todas las pruebas eléctricas tienen que desarrollarse sobre el mismo sistema de pruebas, con su configuración de *hardware* y *software* que garantice el 100% de su funcionalidad del mismo modo que se hace en la *Fase Calidad 2*.

8.3.5 SELECCIÓN DE LOCALIZACIONES Y EJECUCIÓN DE LOS TEST ELECTRICOS

La ejecución de un plan de cualificación requiere conocer previamente la ubicación de las instalaciones donde se ejecutarán las pruebas de estrés de cualificación y la ubicación de las instalaciones donde se llevarán a cabo las pruebas eléctricas antes y después del proceso de cualificación. La ejecución de cada una de estas fases, puede realizarse en la misma ubicación o en ubicaciones diferentes.

Cuando tanto las pruebas de cualificación como los test eléctricos no pueden desarrollarse en la misma ubicación, por falta de recursos, se hace necesaria la subcontratación. La subcontratación incrementa la complejidad del de la ejecución del plan de cualificación, así como sus costes. Este es un parámetro a considerar en el diseño del plan de cualificación.

Algunas de las consideraciones para realizar una sub-contratación con éxito se detallan a continuación:

- ✓ El tiempo máximo requerido para el envío de las muestras usadas en la cualificación entre el punto de ejecución las pruebas de cualificación y las pruebas no ha de superar las 96 horas [75].
- ✓ El laboratorio encargado de la ejecución de las pruebas de cualificación ha de poseer el equipo usado en el proceso de cualificación calibrado de acuerdo a los estándares del sector industria. Por otro lado, las instalaciones seleccionadas para la ejecución de las pruebas de cualificación ha de poseer protección *ESD* en todas sus instalaciones y su personal ha de estar formado al respecto.
- ✓ Si la manipulación de las muestras usadas en el proceso de cualificación es preferible pero no obligatorio realizarla de manera manual a realizarla con sistemas automáticos como *test handlers*. Esto se debe a que las muestras sometidas a pruebas de cualificación pueden tener corrosión en sus puntos de contacto. Por esta razón es preferible realizar un manejo manual de dichas muestras.
- ✓ Conocer cuál será el modo de empaquetado de las muestras después del proceso de cualificación y después de la ejecución de las pruebas eléctricas. Generalmente el modo de empaquetado ideal será mediante el uso bandejas o *trays*, envasadas al vacío con bolsas de protección contra descargas electroestáticas y protección anti-humedad.
- ✓ Los parámetros y procedimientos de ejecución de las pruebas de cualificación han de seguir escrupulosamente cada uno de los procedimientos establecidos por la organización *JEDEC*.
- ✓ El laboratorio encargado de la ejecución de las pruebas eléctricos ha de poseer todos los instrumentos calibrados de acuerdo al sector industrial, así como contar con la protección contra descargas electroestáticas en todas sus instalaciones y su personal ha de estar formado al respecto.
- ✓ La arquitectura de *hardware* ha de ser diseñada para encajar en los parámetros mecánicos de los hornos de estrés. Esta información ha de ser pedida a los laboratorios antes de aprobar una subcontratación o comenzar con diseño de la arquitectura de *hardware*.
- ✓ Las pruebas eléctricas antes y después del proceso de cualificación se han de realizar al menos a temperatura ambiente en un entorno medioambiental controlado. Las pruebas eléctricas antes y después del proceso de cualificación se han de realizar a otras temperaturas si fuera necesario.
- ✓ La arquitectura de prueba usada para la ejecución de las pruebas eléctricas antes y después de las pruebas cualificación ha de garantizar la funcionalidad el circuito integrado en su totalidad.

8.4 FASE DE EJECUCIÓN: EJECUCIÓN DEL PROCESO DE CUALIFICACIÓN

La organización de calidad *JEDEC* establecer el procedimiento mínimo para la ejecución de proceso de cualificación dentro del procedimiento *JESD47* [81].

A lo largo de este capítulo se detalla el proceso de cualificación a alto y su división en los diferentes grupos. Cada uno de estos grupos cuenta con micro-procesos de cualificación, los cuales se centran en el estudio de viabilidad de partes específicas del circuito integrado o componente electrónico.

El proceso de cualificación, así como su planificación se puede dividir basada en tres supuestos:

- *Que el producto a cualificar es un producto tecnológico nuevo.* En este caso es necesario una cualificación completa de dicho producto.
- *Que el producto a cualificar este cualificado y se hayan pequeños cambios en su proceso de fabricación.* En este caso el proceso de cualificación tiene ciertas variaciones en relación a la cualificación de un producto nuevo.
- *Que un producto ya cualificado requiera una monitorización continua de su proceso de fabricación y ciclo de vida*

8.4.1 PROCESO DE CUALIFICACIÓN DE UN PRODUCTO NUEVO

La primera fase en la cualificación de un producto nuevo es la fabricación de tres lotes de obleas no consecutivos. Este requisito, establecido por el estándar *JEDEC*, permite analizar la estabilidad del proceso de fabricación frente a posibles cambios de personal y equipo.

Todas las fases de fabricación de los lotes y muestras usados en el proceso de cualificación, han de estar sometidos a las mismas fases de fabricación como de calidad que los productos que se pondrán posteriormente en el mercado. Por esta razón, el proceso de cualificación no solo estudia la viabilidad tecnológica del producto, sino que también estudia la viabilidad de todo el proceso de fabricación.

El proceso de cualificación detallado a lo largo de este capítulo no establece puntos de medición intermedios durante el proceso de cualificación. Los procedimientos detallados en este capítulo representan los procesos básicos de cualificación necesarios para cumplir los requisitos mínimos de calidad establecidos por el sector industrial.

El procedimiento de parar una prueba de cualificación para realizar pruebas eléctricas intermedias, es conocido como en inglés como *intermediate Reading* [116]. Este tipo de mediciones se pueden realizar para pruebas de cualificación como *HTOL* [86], *ELFR* [86], *HAST* [114], *TC* [52], *THB* [74], *HTST* [86] entre otras. Esta posibilidad de realizar lecturas intermedias se detalla en los procedimientos de cada una de las pruebas de estrés. Durante la fase de “*lecturas intermedias*” dentro del proceso de cualificación, se para la ejecución de la prueba de cualificación, se ejecuta las pruebas eléctricas, y posteriormente se reactiva la prueba de cualificación de nuevo. Esto se ha de realizar en unas ventanas de tiempo determinadas que puede estar de 48 a 96 horas. Esta ventana de horas puede variar dependiendo de la prueba de cualificación.

A continuación (*Figura 8.IX*), se muestran los grupos de los pruebas de cualificación considerados para el sector industrial.

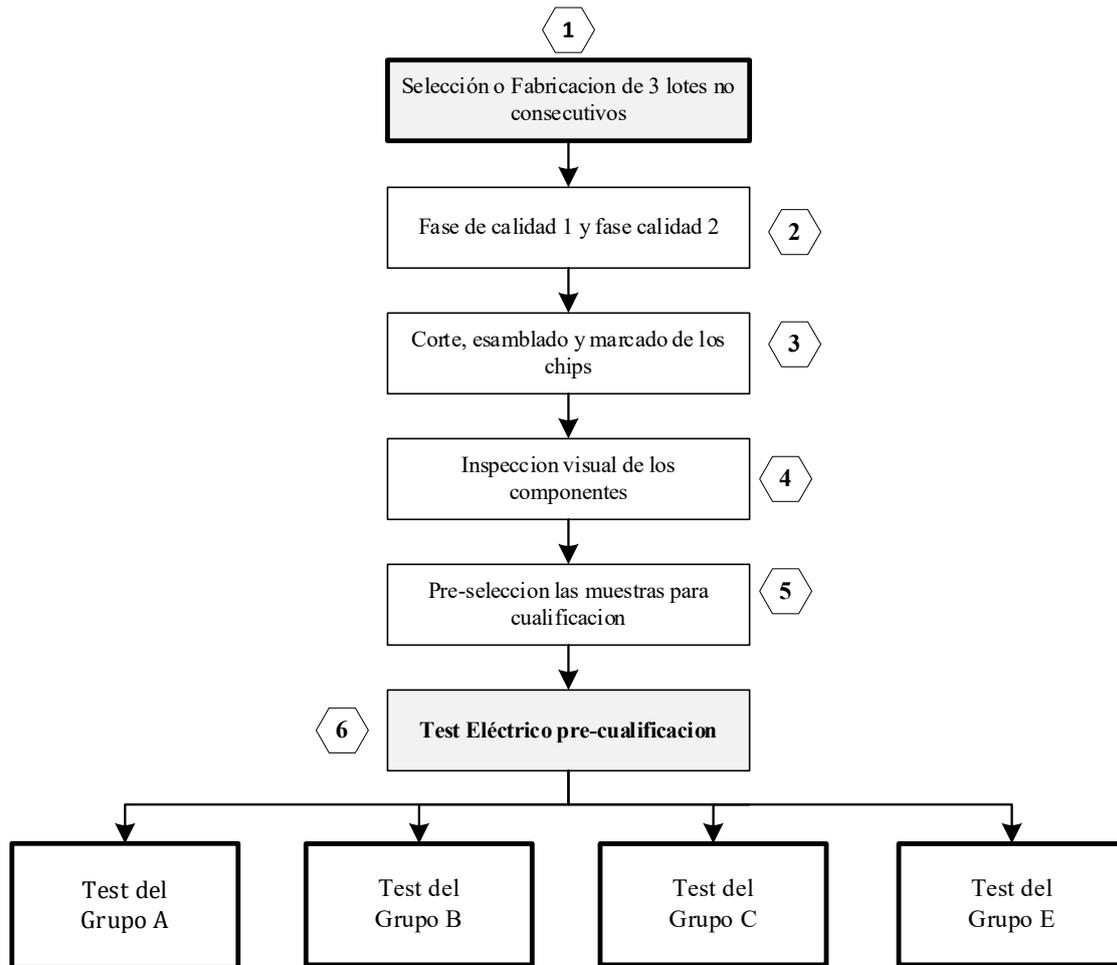


Figura 8.IX: Proceso general de cualificación de un circuito integrado para el sector industrial [117], [81].

PROCESO DE EJECUCIÓN DE LOS TEST DEL GRUPO A

Este grupo de test se caracteriza por requerir un *pre-acondicionamiento* de las muestras, antes de la ejecución de las pruebas de cualificación. Las pruebas eléctricas antes y después de las pruebas cualificación pueden realizarse a diferentes temperaturas, pero el estándar *JEDEC* recomienda como mínimo que se realicen al menos a temperatura ambiente.

Las pruebas de cualificación nombradas como *HTST* [86] o *TC* [52] se pueden realizar en hornos medioambientales tradicionales. Por otro lado, las pruebas de cualificación nombradas como *HAST* [114], *AC* [76], *UHAST* [75] o *THB* [49], han de realizarse en hornos medioambientales que permitan controlar la presión. Esto es factor importante a la hora de seleccionar la tecnología o el laboratorio donde se desea ejecutar cada prueba de cualificación.

Todas las pruebas de cualificación están sujetas a una ventana de medición, especialmente las realizadas en el *Grupo A*. Esto quiere decir que las pruebas eléctricas se han de realizar en un rango de tiempo determinado. La ventana mínima de tiempo desde que se finaliza la prueba de cualificación y se realiza la prueba eléctrica ha de estar en torno a 24 horas.

En la siguiente imagen, puede observarse en detalle, el proceso de ejecución de las pruebas de cualificación medioambiental englobadas dentro del *Grupo A* para paquetes *no herméticos* y su proceso de ejecución:

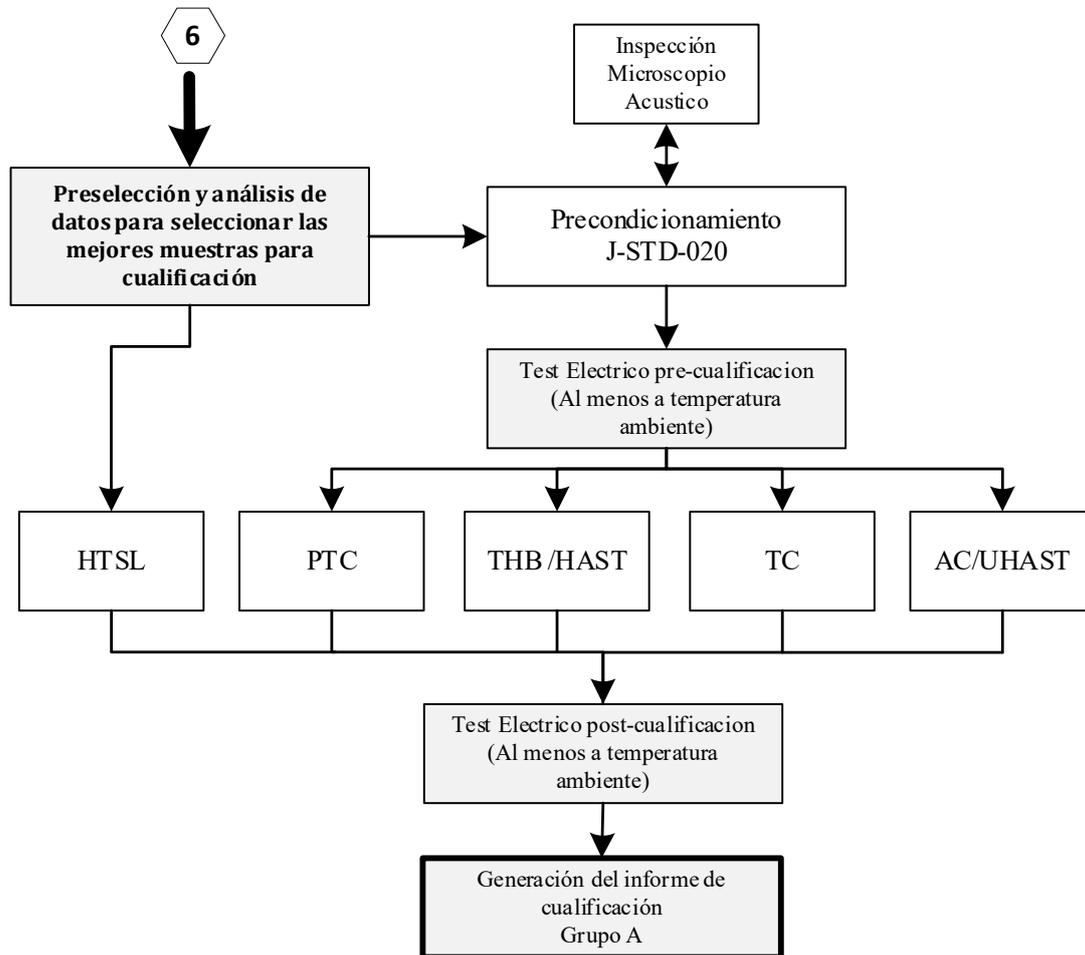


Figura 8.X: Proceso de ejecución para los test englobados dentro del *Grupo A para paquetes no heréticos* [117], [81].

El proceso de ejecución básico de cualificación, se caracteriza por no realizar lecturas eléctricas intermedias durante las pruebas de cualificación y por realizar las pruebas eléctricas antes y después de las pruebas de cualificación a temperatura ambiente.

Alguno de los parámetros que ha de contener, el informe de cualificación de las pruebas de estrés englobadas dentro del *Grupo A* son:

- ✓ La temperatura a la que ha realizado las pruebas eléctricas ha de ser anotada en el informe de cualificación.
- ✓ Datos de los rangos de estrés seleccionados para cada una de las pruebas de cualificación.
- ✓ Datos de calibración y parámetros técnicos de los hornos medioambientales.
- ✓ Fotos de la configuración del equipo de estrés en los hornos medioambientales.

- ✓ Informe detallado de la ejecución de cada una de las fases donde se ha de incluir por ejemplo: Fechas de ejecución, personal a cargo, localización, resultados de las pruebas eléctricas, tipo de equipo utilizado y fechas de calibración.
- ✓ Monitorización en tiempo real de los parámetros de corriente y voltaje para las pruebas de cualificación *HAST* [114].

A continuación, se detalla el proceso de ejecución de las pruebas de cualificación medioambiental englobadas dentro del *Grupo A* para paquetes herméticos.

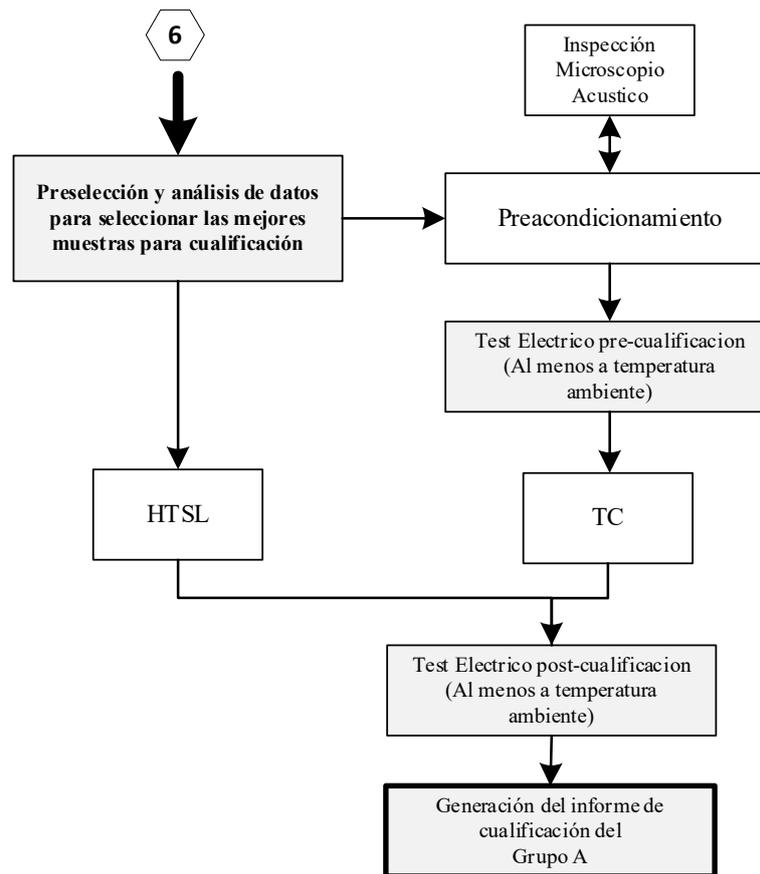


Figura 8.XI: Proceso de ejecución para los test englobados dentro del *Grupo A* para paquetes herméticos [117], [81].

PROCESO DE EJECUCIÓN DE LOS TEST DEL GRUPO B

La característica principal de la selección de las pruebas o test de cualificación englobados dentro del *Grupo B*, radica directamente en el diseño de la arquitectura interna digital del circuito integrado. A partir del tipo de arquitectura interna, las pruebas de cualificación se pueden dividir en dos categorías dependiendo si el circuito integrado contiene o no una memoria *NVM* (*Non Volatile Memory*).

- Si el circuito integrado a cualificar posee memorias de retención estilo *NVM* (*Non Volatile Memory*): En este supuesto, se han de ejecutar los test nombrados como: *UCHTDR*, *NVCE*, *PCHTDR* y *LTDR* [88] que tienen la función de estudiar la capacidad de retención y lectura de este tipo de bloques digitales a parte de los test *HTOL* [86],

LTOL [86], ELFR [86], o EP que estudian la viabilidad del producto a lo largo de su ciclo vida. Ambos tipos de pruebas requieren un *hardware* específico para su ejecución. En algunos casos este tipo *hardware* puede ser reutilizable si se ha diseñado con el propósito de cubrir ambas pruebas de cualificación. Este procedimiento se detalla en el capítulo 8.3.4.

- Si el circuito integrado a cualificar carece de memorias de retención estilo NVM (Non Volatile Memory): En ese caso los test a considerar para el proceso de cualificación son HTOL [86], LTOL [86], ELFR [86], o EP.

Alguno de los parámetros que ha de contener, el informe de cualificación de los test de estrés del Grupo B son:

- ✓ La temperatura a la que ha realizado las pruebas eléctricas ha de ser anotada en el informe de cualificación.
- ✓ Informe detallado de la ejecución de cada una de las fases donde se ha de incluir por ejemplo: Fechas de ejecución, personal a cargo, localización, resultados de las pruebas eléctricas, tipo de quipo utilizado y fechas de calibración.
- ✓ Monitorización en tiempo real de los parámetros de corriente y voltaje para las pruebas de cualificación: UCHTDR, NVCE, PCHTDR [88], LTDR, HTOL, LTOL y ELFR [86].

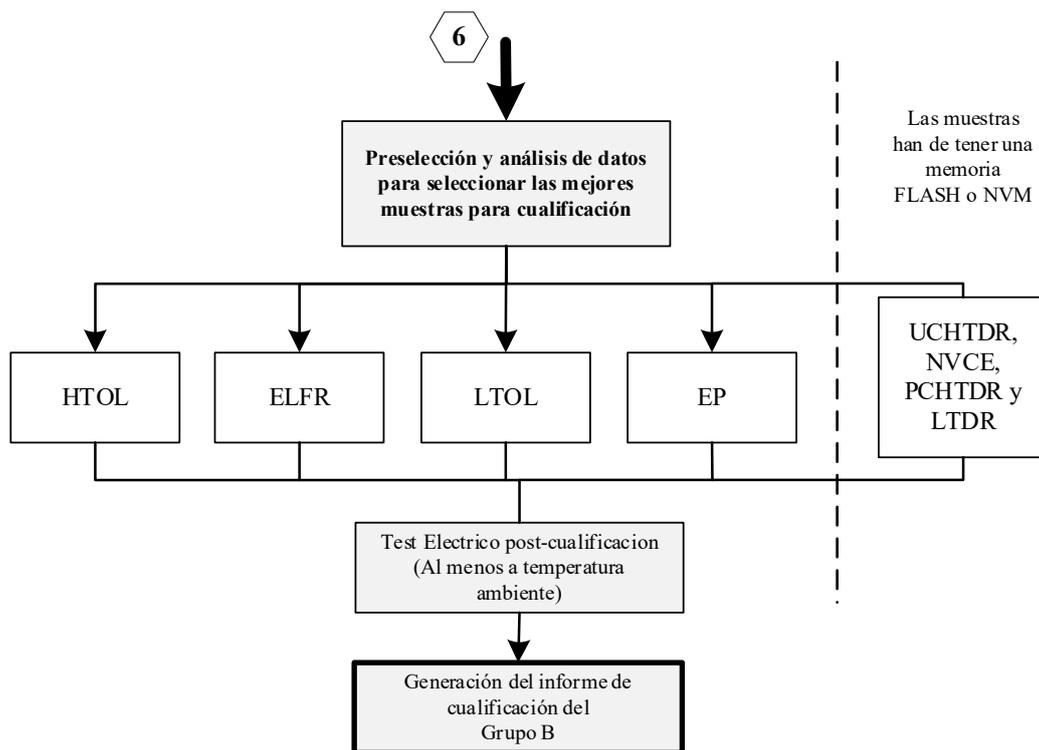


Figura 8.XII: Proceso de ejecución para los test englobados dentro del Grupo B [117], [81].

PROCESO DE EJECUCIÓN DE LOS TEST DEL *GRUPO C*

El proceso básico de ejecución detallado en este capítulo para las pruebas de cualificación englobadas dentro del *Grupo C*, se caracteriza por no requerir pruebas eléctricas después de las pruebas de cualificación.

El tipo de pruebas de cualificación dentro de este grupo son de carácter destructivo. Las pruebas de carácter destructivo, se caracterizan por romper el paquete contenedor de circuito integrado o componente electrónico.

Las pruebas de cualificación englobadas dentro del *Grupo C*, se clasifican en dos grupos dependiendo del tipo de empaquetado y su hermeticidad.

- ✓ *Paquetes no herméticos*: Dentro de los paquetes herméticos se establecen dos subcategorías de pruebas de cualificación dependiendo del tipo de conexión. Estos grupos son:
 - *Paquetes herméticos con bobinado*: En este grupo las pruebas de cualificación requeridas son las identificadas como: *SD* [91], *BS* [89], *WSR* [95], y *BPS* [89].
 - *Paquetes herméticos con bolas de soldadura o solder bump*: En este grupo las pruebas de cualificación requeridas son las identificadas como: *SD* [91], *WSR* [95], y *SBS* [93].

En la siguiente figura (*Figura 8.XIII*), se detalla el proceso de elección de los test de cualificación englobada dentro del *Grupo C*.

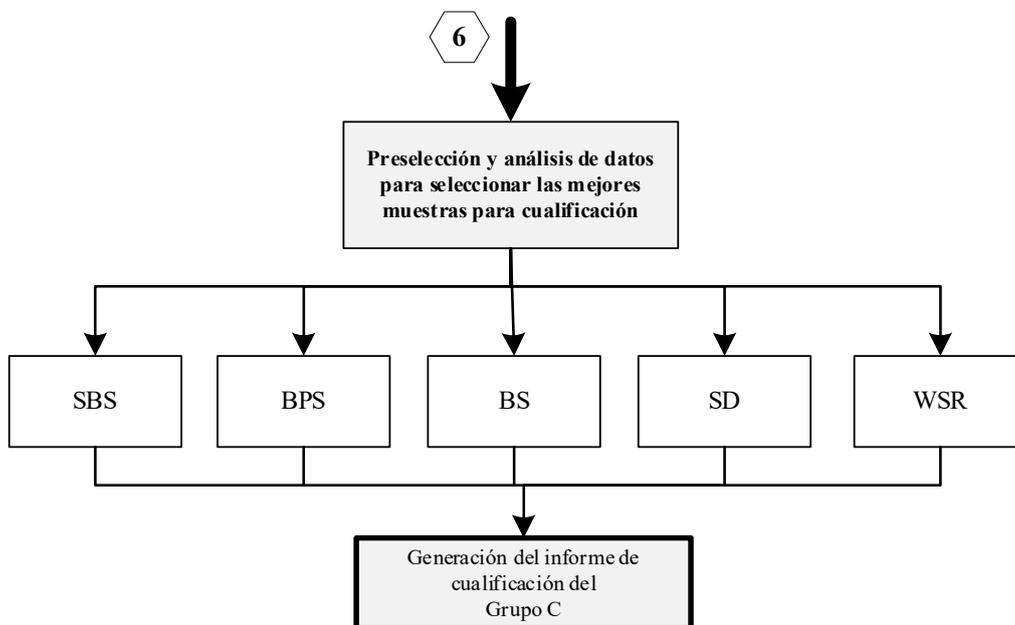


Figura 8.XIII: Proceso de ejecución para los test englobados dentro del *Grupo C* para paquetes no herméticos. [117], [81].

- ✓ *Paquetes herméticos*: Dentro de los paquetes herméticos se establecen dos subcategorías de pruebas de cualificación dependiendo del tipo de conexión. Estos grupos son:
 - *Paquetes herméticos con bobinado*: En este grupo las pruebas de cualificación requeridas son las identificadas como: *LT* [102], *LI* [94], *PD* [92], *EV* [101], *GFL* [100], *SD* [64], *BS* [89], *WSR* [95] y *BPS* [89].
 - *Paquetes herméticos con bolas de soldadura o Solder Bumb*: En este grupo las pruebas de cualificación requeridas son las identificadas como: *LT* [102], *LI* [94], *PD* [92], *EV* [101], *GFL* [100], *BS* [89], *SD* [64], *WSR* [95], y *SBS* [93].

El proceso de elección de las pruebas de cualificación englobada dentro del *Grupo C* aparece en la siguiente figura (*Figura 8.XIV*)

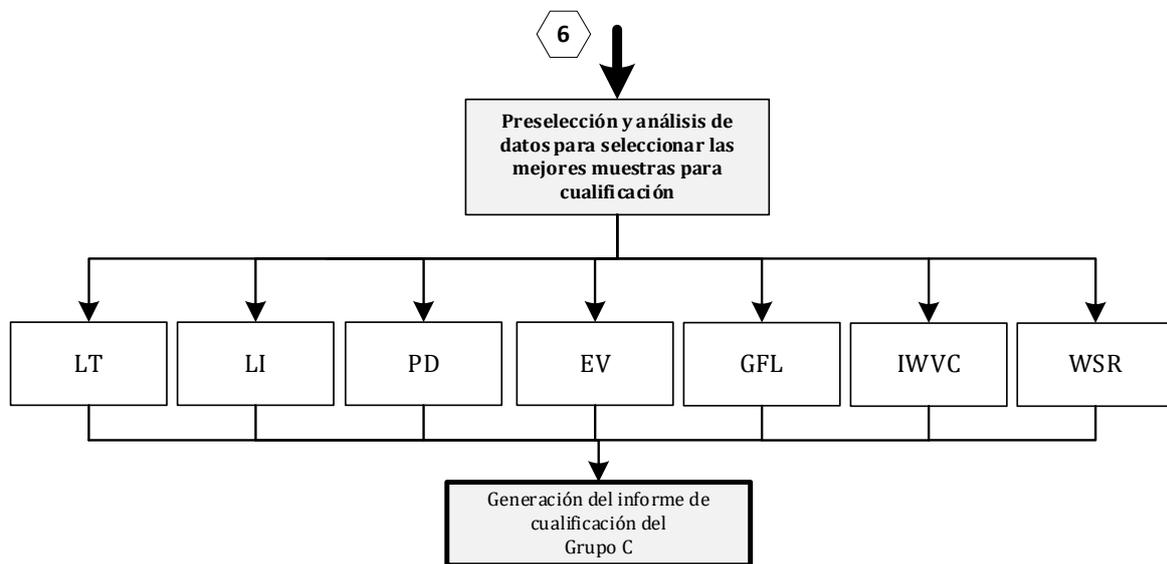


Figura 8.XIV: Proceso de ejecución para los test englobados dentro del *Grupo C para paquetes herméticos I* [117], [81].

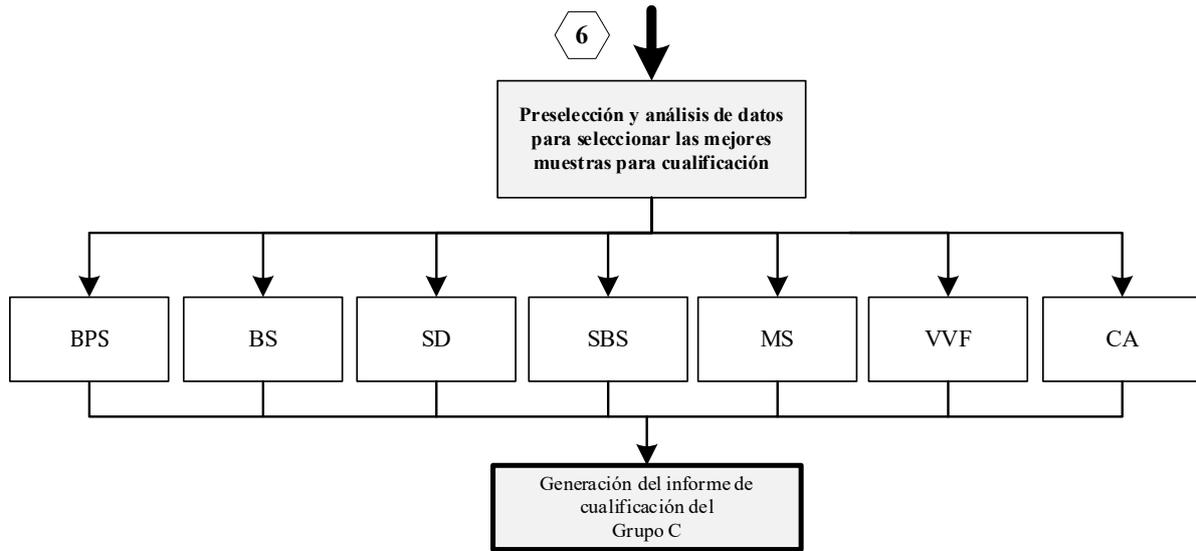


Figura 8.XV: Proceso de ejecución para los test englobados dentro del *Grupo C* para *paquetes herméticos II* [117], [81].

PROCESO DE EJECUCIÓN DE LOS TEST DEL *GRUPO E*

Este grupo de pruebas o test de cualificación englobadas dentro del *Grupo E*, está centrado en caracterizar las estructuras de protección contra descargas electrostáticas, las estructuras de protección contra enclavamientos o *Latch up*, y caracterización completa del circuito o componente electrónico. Para poder ejecutar estas pruebas, se ha de confirmar que las estructuras electrónicas contra descargas electrostáticas o *Latch up* existen en el producto electrónico.

Las pruebas de análisis contra enclavamientos *LU* [55], compatibilidad electromagnética o descargas electrostáticas, requieren en algunos casos, de una detallada configuración de los pines para poder estudiar la funcionalidad de los circuitos de protección. Esta configuración de pines es especialmente necesaria para los circuitos integrados y ha de ser proporcionada por el equipo de diseño. A continuación (*Figura 8.VI*), se puede observar el proceso de ejecución de las pruebas de cualificación englobada dentro del *Grupo E* y su proceso de ejecución:

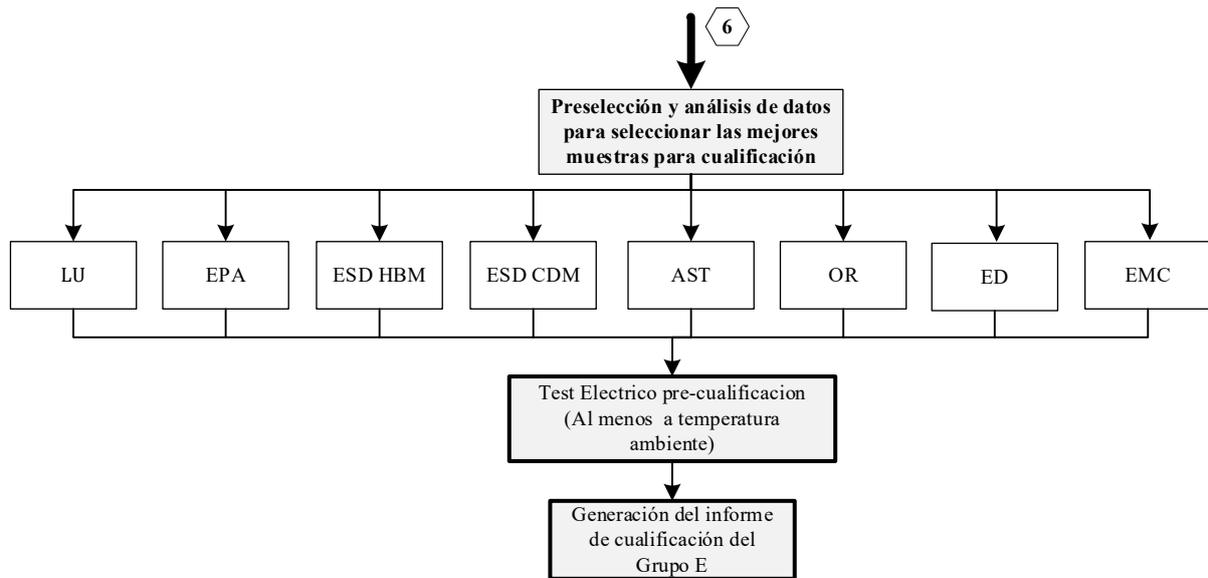


Figura 8.XVI: *Proceso de ejecución para los test englobados dentro del Grupo E* [117], [81].

La característica principal de la selección las pruebas o test de cualificación englobados dentro del *Grupo E* está en si el producto a cualificar es un componente o un circuito integrado.

- ✓ *Si el circuito que se desea a cualificar es un componente individual* las pruebas de cualificación recomendables son las conocidas como: *EPA* [87], *AST* [105], *OR* [107] y *ED* [87].
- ✓ *Si el circuito que se desea a cualificar es un circuito integrado* las pruebas de cualificación recomendables depende del tipo de tecnología, pudiendo ser:
 - *Bulk CMOS*: Las pruebas de cualificación recomendadas son: *LU* [55]; *EPA* [87], *ESD HBM* [103], *ESD CDM* [104], *AST* [105], *OR* [107], *ED* [87] y *EMC* [109].
 - *SOI CMOS*: Las pruebas de cualificación recomendadas son: *EPA* [87], *ESD HBM* [103], *ESD CDM* [104], *AST* [105], *OR* [107], *ED* [87] y *EMC* [109].

8.4.2 PROCESO DE CUALIFICACIÓN DE UN PRODUCTO YA CUALIFICADO

El estándar *JEDEC* en su procedimiento *JESD47* [81] establece la recualificación parcial así como los grupos de test necesarios cuando la cualificación se deba a alguno de los siguientes supuestos:

- Cambio en la circuitería activa para una nueva versión.
- Cambio de diseño considerado como cambio mayor.
- Cambio en las dimensiones del *chip* del 5 al 20% de su dimensión original.

- *Cambio en el proceso litográfico: Dopado, polysilicon, metalización, Gate Oxide, dieléctrico non-low k, cambio en el dieléctrico lo-k, cambio en la capa de pasivación, contacto, tipo de vía, tamaño de la oblea, y cambio de la ubicación de la fábrica. [118]*
- *Cambios en la fase de empaquetado: Cambio de ubicación de fabricación, cambio de tecnología de sustrato, cambio del proceso de empaquetado a nivel de oblea así como su ubicación de fabricación, cambio en el espesor del chip de silicio entre otras.*

Cuando se requiere una recualificación de un producto cualificado, se recomienda usar entre 1 a 3 lotes no consecutivos con el objetivo de probar la fiabilidad tecnológica del cambio en el diseño y en el proceso de fabricación. La selección y los test recomendados para cada cambio se resumen en el *Apéndice E*.

8.4.3 PROCESO DE MONITORIZACIÓN DE UN PRODUCTO CUALIFICADO

El estándar *JEDEC* recomienda un proceso de monitorización para los productos ya cualificados. Un proceso de monitorización permite el estudio continuo la calidad del proceso de fabricación.

No existe un grupo de pruebas de cualificación recomendados o el número de muestras a utilizar. Como referencia el alcance de un proceso de monitorización debería realizarse con una frecuencia anual. Las pruebas de cualificación recomendadas en este libro se detallan a continuación:

- Monitorización de la calidad de la *Fase de Fabricación 2* con test como *HTOL [86]* o *ELFR*.
- Monitorización de la calidad de la *Fase de Fabricación 3* con test como *HAST [114]*, *UHAST [75]* o *TC [52]*.

8.5 FASE DE ANÁLISIS: ANÁLISIS DE DATOS DEL PLAN DE CUALIFICACIÓN

La fase de análisis de datos requiere el estudio completo de cada uno los parámetros eléctricos de las muestras usadas en el proceso de cualificación. Este estudio debe realizarse partiendo de los resultados de las pruebas *PCM* obtenidas en la *Fase de Calidad 1*, las pruebas eléctricas del componente electrónico obtenidas a nivel de oblea en la *Fase de Calidad 1*, las pruebas eléctricas del componente electrónico obtenidas en la *Fase de Calidad 2*, y las pruebas eléctricas obtenidas en cada una de las fases del proceso de cualificación.

Las principales conclusiones que se necesitan extraer en esta fase son las siguientes:

- ✓ Si se ha cumplido el criterio de aceptación en cada uno de las pruebas de cualificación establecidas por la organización *JEDEC*.
- ✓ Si se ha producido variaciones en los parámetros clave que definen el funcionamiento correcto del circuito integrado. Y si esto se ha producido a lo largo de cada de las fases del proceso de fabricación y calidad hasta el final del proceso de cualificación.

Durante el proceso de análisis de datos provenientes de un proceso de cualificación se pueden dar dos escenarios, dependiendo de si se han detectado muestras fallidas o no.

- 1) *Que durante el análisis de datos de las muestras sometidas a las pruebas cualificación, no muestren fallos:* En este caso los datos son directamente compilados en el informe final.
- 2) *Que durante el análisis de datos de unas muestras sometidas a las pruebas de cualificación, se muestren fallos:* En test caso se ha identificar la razón del fallo. Este tipo de estudios ser realiza en lo que conoce como procedimientos de *FA Failure Analysis* o *Análisis de Fallos*.

8.5.1 ANÁLISIS DE LOS RESULTADOS DE LAS PRUEBAS ELÉCTRICAS DURANTE LAS FASES DE CALIDAD Y CUALIFICACIÓN

Para identificar adecuadamente las muestras fallidas durante un proceso de cualificación, es necesario establecer previamente mecanismos de detección de errores. Dos de estos mecanismos identificación básicos son los siguientes:

- ✓ *Establecer límites en los test eléctricos:* Esto permite identificar cuando una muestra es un fallo o no.
- ✓ *Analizar los parámetros funcionales:* Este análisis permite visualizar como varía el funcionamiento de las muestras varía después de las pruebas de cualificación.

ESTABLECER LÍMITES EN LOS TEST ELÉCTRICOS

Establecer límites funcionales para cada uno de los parámetros que definen la funcionalidad del circuito integrado. Cada uno de esos parámetros ha de tener un test asignado, el cual es ejecutado mediante los programas automáticos de pruebas en las diferentes fases de calidad, ya sea la *Fase de Calidad 1* o la *Fase de Calidad 2*.

Existen Algunas diferentes técnicas y métodos para establecer límites en test eléctricos en las diferentes fases de calidad de las metodologías más comunes son las siguientes

- ✓ *Establecer límites funcionales a partir de simulaciones obtenidas en la fase de diseño del circuito integrado:* Durante la fase de diseño, los circuitos son simulados con lo que permite establecer límites iniciales seguridad. Estos límites funcionales necesitan una mejora continua ya que podrían llevar a un sobre-estrés o crear agujeros en el proceso de calidad.
- ✓ *Establecer límites funcionales en los test eléctricos a partir de límites de control:* Esto es una metodología en la cual se establecen límites, a partir de testear una amplia población de muestras, y establecer los límites que permitan garantizar un rendimiento en torno a una *capability (cp, cpk)* de 1 o 1.5. Este método, requiere poseer un sistema de pruebas muy estable.

- ✓ *Establecer límites en eléctricos a partir de PAT (Part Average Testing) limits:* Esta metodología es detallada en el procedimiento: *AEC - Q001 Rev-C (Guidelines for part average testing)* [119].

ANÁLISIS DE LOS PARÁMETROS FUNCIONALES

Para un correcto análisis funcional de un circuito integrado, se han de cumplir los siguientes requisitos:

- 1) Las fases de *calidad 1, 2* así como cualquier otro sistema que permita validar la capacidad funcional del circuito integrado, ha de ser estable durante la ejecución de los programas de pruebas en los sistemas automáticos.
- 2) Los sistemas de prueba usados para determinar la calidad del circuito integrado o de un componente electrónico, ha de probar el *100%* de los parámetros funcionales, como podrían ser: Parámetros eléctricos, parámetros funcionales o métodos de uso.
- 3) Los parámetros eléctricos que definen la funcionalidad del circuito integrado, han de tener límites tanto máximos como mínimos. Esto permite realizar análisis estadísticos más precisos mediante el uso de distribuciones estadísticas.

ANÁLISIS Y CÁLCULO DE LOS FACTORES DE ACELERACIÓN

Los factores de aceleración están establecidos por el estándar de calidad *JEDEC* a partir de los rangos recomendados para cada uno de las pruebas de cualificación. Por esta razón, es de especial importancia entender que es un factor de aceleración y cuál es su función dentro de las diferentes pruebas cualificación.

Los factores de aceleración considerados dentro de los *Grupos de pruebas de cualificación A y B* se detallan a continuación:

- ✓ *Factor de aceleración de voltaje:* Este factor de aceleración especialmente importante en pruebas de cualificación como *HTOL* o *ELFR* [86]. El *factor de aceleración de voltaje A_v* se calcula a partir de la relación del factor de aceleración β el cual depende del tipo de tecnología. Este parámetro es la relación entre la constante de campo eléctrico de la tecnología y el espesor del dieléctrico del componente que desea cualificar. Estos parámetros (Ver *apéndice B*) así como la diferencia del voltaje de estrés V_{stress} y el voltaje de uso V_{uso} se extraen de la hoja de datos proporcionada por la empresa donde se desea fabricar el componente electrónico (*Wafer Foundry*).

$$A_v = \exp((\beta)(V_{stress} - V_{uso})) \quad (8.1) [120]$$

El factor de aceleración de voltaje es un parámetro muy importante, especialmente en aquellos productos que poseen división de voltaje entre la sección analógica y digital ya que permite dividir el cálculo de los factores de aceleración para cada sección. Esto permite un análisis teórico más certero de los parámetros de estrés.

- ✓ *Factor de aceleración de temperatura:* Este factor de aceleración especialmente importante en las pruebas conocidas como: *HAST* [114], *UHAST* [75], *AC* [76], *THB* [49], *HTOL*, *ELFR* [86], *TC* o *HTST*. [86] El *factor de aceleración de temperatura A_T*

se calcula a partir de la relación del factor de brecha energética E_a (eV) es el factor de activación energética k es la constante de *Bolzman* y la diferencia la temperatura de estrés T_{stress} , el voltaje de operación T_{uso} .

$$A_T = \exp\left(\frac{-E_a/k}{T_{uso}} \left(\frac{1}{T_{stress}} - 1\right)\right) \quad (8.2) [120]$$

- ✓ *Factor de aceleración de Humedad:* Este factor de aceleración especialmente importante es pruebas como: *HAST* [114], *UHAST* [75], *AC* [76] o *THB* [49]. El factor de aceleración de humedad A_H se calcula a partir de la relación entre la humedad relativa durante de operación RH_{uso} y la humedad relativa durante las pruebas de estrés RH_{stress} , siendo m una constante de estrés que puede estar entre 2 o 3 dependiendo de la fuente. Este parámetro se ha de ajustar específicamente para las condiciones del producto en cuestión.

$$A_H = (RH_{uso}/RH_{stress})^{-m} \quad (8.3) [120]$$

- ✓ *Factor de aceleración de ciclos de temperatura:* Este factor de aceleración especialmente importante es test como: *TC* [52] o *NVCE*. El factor de aceleración de ciclos de temperatura A_C se calcula a partir de la diferencia de temperatura entre la maximiza y la mínima durante el tiempo de operación ΔT_{uso} y la diferencia de temperatura entre la máxima y la mínima relativa durante las pruebas de estrés ΔT_{stress} , siendo m una constante de estrés que puede estar entre 1 y 3 dependiendo de la fuente. Este parámetro se ha de ajustar específicamente para las condiciones del producto en cuestión. Este método de cálculo está basado en el modelo *Norris-Landzberg*.

$$A_C = (\Delta T_{uso}/\Delta T_{stress})^m \quad (8.4) [120]$$

8.5.2 ANÁLISIS DE FALLOS (FA)

Los test de cualificación que se han detallado a lo largo del capítulo se han establecido para determinar criterios de fallo comunes y conocidos hasta ahora.

Un criterio de fallo es una teoría que permite determinar a partir de unos rangos de estrés el error directo que generaría. Las pruebas de cualificación establecidas por el estándar *JEDEC*, permite identificar y estudiar criterios de fallo conocidos. Todos los criterios de fallos conocidos hasta la fecha están registrados en los procedimientos *JEDEC JEP150 (Stress-Test-Driven Qualification of and Failure Mechanisms Associated with Assembled Solid State Surface-Mount Devices)* [118] y *JEP122 (Failure Mechanisms and Models for Semiconductor Devices)* [121]. El estándar *JEDEC* clasifica los criterios de fallo (*Tabla 8.XVI*) en tres grupos:

Tabla 8.XVI: Clasificación de los criterios de fallo (Ver *Apéndice C*) [121].

Clasificación de mecanismo	Descripción
Mecanismos de Fallo <i>FEol</i>	<i>Front end line:</i> Estos mecanismos de fallo están basado a nivel proceso de fabricación. (<i>Fase de Fabricación 2</i>)
Mecanismos de Fallo <i>BEol</i>	<i>Back end line:</i> Estos mecanismos de fallo están basado a nivel producto electrónico. (<i>Fase de Fabricación 2</i>)
Mecanismos de fallo en paquetes	Están clasificados dentro de los fallos del paquete y proceso de empaquetado. (<i>Fase de Fabricación 3</i>)

Un proceso de análisis de fallos generalmente se ha de desarrollar en laboratorios independientes, ya que pueden proporcionar un informe imparcial. Cuando esto no es posible, es especialmente importante, que la persona a cargo de la ejecución de las pruebas eléctricas antes y después de las pruebas cualificación no esté a cargo de la ejecución de las pruebas de *Análisis de Fallo*. Es importante crear un informe inicial por parte de la persona que detectó las muestras fallidas, y este informe ha de ser proporcionado a la persona a cargo del estudio de *Análisis de Fallos*.

Este informe ha de resumir al menos:

- ✓ El procedimiento seguido cuando se detectó la primera muestra fallida.
- ✓ La identificación de la muestra
- ✓ La ubicación don se han desarrollado las pruebas eléctricas
- ✓ Descripción del equipo utilizado
- ✓ Persona a cargo.

Existen empresas especializadas en este tipo de estudios. Esto es especialmente si no se posee la instrumentación especializada o equipo perfectamente formado. Algunas de estas empresas se detallan en el *capítulo 8.3.3*.

La fase inicial de un proceso de *Análisis de Fallos* comienza con el análisis del informe proporcionado por el departamento u operador a cargo de las pruebas eléctricas. El primer objetivo del ingeniero a cargo, es probar la existencia error que se ha descrito en el informe inicial. Por esta razón se establecen pasos simples como es la inspección visual. El objetivo principal de la inspección visual es verificar daños estructurales y también para garantizar que la muestra que se ha de analizar corresponde con la muestra del informe.

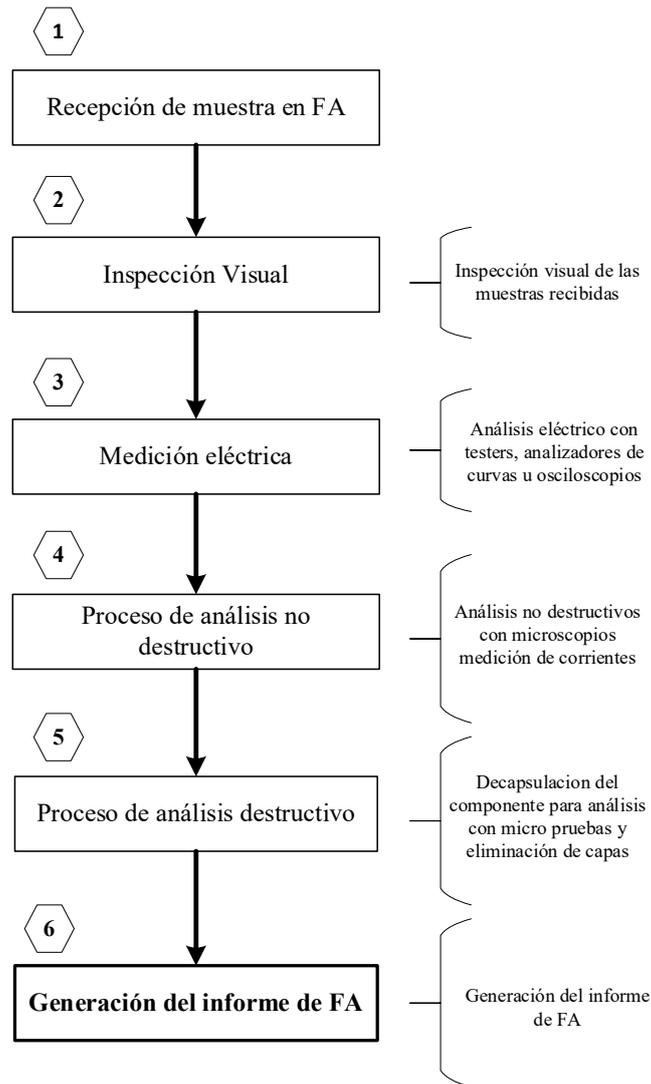


Figura 8.XVII: Proceso general de análisis de fallos *FA* [122] [123].

En proceso de análisis de fallos (*FA*), consiste en las siguientes fases:

- 1) *Recepción de las muestras:* La recepción de las muestras por la parte del personal a cargo de los análisis de fallos, generalmente contiene una parte de información básica como podría ser: Información del operador a cargo, localización e información básica del componente. Una más avanzada que puede contener, por ejemplo, información de procedimiento seguido para detectar el fallo y descripción del componente.
- 2) *Medición eléctrica:* Es un grupo de pruebas que permiten regenerar el error por parte del investigador a cargo del análisis de fallos siguiendo el informe y procedimiento descrito con la recepción de las muestras si lo hubiera. Durante esta fase, se analizan estructuras de protección *ESD* para detectar si el fallo se ha debido a descargas electroestáticas.

Tabla 8.XVII: Pruebas más comunes de medición eléctrica [123].

Prueba	Clasificación	Descripción
Trazador de curvas	Medición eléctrica	Es un instrumento para analizar los diodos <i>ESD</i> de protección.
Mediciones con sistemas de test		En un sistema de análisis paramétrico automatizado.
Mediciones con osciloscopios		Instrumento que permite el análisis y representación visual de señales eléctricas.

- 3) *Pruebas no destructivas*: Permite el análisis del circuito integrado sin la destrucción completa y la integridad del mismo. Este tipo de análisis permiten hacer análisis de integridad funcional del circuito integrado o mediante *rayos X* ver su estructura interna. Algunos de estas pruebas se detallan en la siguiente tabla (*Tabla 8.XVIII*)

Tabla 8.XVIII: Pruebas más comunes en pruebas no destructivas [123].

Prueba	Clasificación	Descripción
Análisis con diferentes tipos de microscopios	Pruebas no destructivas	Uso de microscopios <i>SEM</i> , <i>SPM</i> , <i>SCM</i> , <i>AFM</i> entre otros.
Termografías		Análisis de temperatura para detectar cortocircuitos.
<i>Rayos X</i>		Permite ver el interior sin abrir el paquete.
Analizador de gases		Análisis medioambientales.

- 4) *Pruebas destructivas*: Las pruebas destructivas permiten el análisis del circuito integrado mediante la rotura de la integridad física y funcional del mismo. Estos tipos de análisis permiten la rotura del paquete y el bobinado para análisis funcionales a más bajo nivel. Este permite un estudio de las capas de metalización y procesamiento litográfico, decapsulación, corte seccional, eliminación de capas o aislamiento de fallos con microsondas. Algunos de estas pruebas, se detallan en la siguiente tabla (*Tabla 8.XIX*).

Tabla 8.XIX Pruebas más comunes en pruebas destructivas [123].

Prueba	Clasificación	Descripción
Decapsulación	Análisis destructivos	Rotura y apertura del paquete para visualizar el <i>chip</i> de <i>silicio</i> con microscopio.
Micro-pruebas		El contacto en regiones específicas.
Eliminación de capas		Análisis para detectar fallos en el proceso de fabricación.

Un informe completo de *FA (Failure Analysis)*, debería ayudar a resolver las siguientes preguntas desde el punto de vista del proceso de cualificación:

- ✓ *Si el fallo en las muestras o muestras en cuestión se ha debido a razones ajenas al test de cualificación*: Estas razones podrían ser: sobre-estrés, mala manipulación o descargas electrostáticas.

- ✓ *Si el fallo en la muestra o muestras en cuestión se ha debido a razones propias de la cualificación:* En este caso, se ha de determinar si es debido a un criterio de fallo conocido o nuevo.

El modelo de un informe de *FA (Failure Analysis)* está estandarizado por el organismo *JEDEC*, en el procedimiento *JESD38 Standard Failure Analysis report* [124].

8.6 FASE DE ANÁLISIS: GENERACIÓN DEL INFORME DE CUALIFICACIÓN

La confección y finalización del informe de cualificación permite presentar los resultados de un proceso de cualificación del circuito integrado o es necesaria su recualificación.

No existe un formato fijado por *JEDEC* que defina como debe ser un informe de cualificación, pero de manera común ha de contener las siguientes secciones:

- ✓ Descripción básica del producto, así como de su paquete y funcionalidad.
- ✓ Objetivo de cualificación. Si es un producto nuevo o proveniente de otra versión cualificada.
- ✓ Mercado para el que se ha cualificado el circuito integrado y objetivo de la cualificación.
- ✓ Declaración de materiales o *Material Declaration* de todas las partes del componente y circuito electrónico.
- ✓ Ubicación de las fábricas y tecnología del proceso de fabricación tanto de impresión litográfica como de empaquetado.
- ✓ Descripción de las pruebas de cualificación, duración y rangos.
- ✓ Presentación del número de muestras usadas en cada prueba de cualificación y su identificación de los lotes de producción.
- ✓ Resultados del proceso de cualificación y número de muestras fallidas con su explicación pertinente.
- ✓ Parámetros *FIT (Failure in Time)* y *MTTF (Mean Time to Failure)*. para la temperatura de uso propuesta, rangos de estrés, y resultados del proceso de cualificación.

8.6.1 CÁLCULO DEL PARÁMETRO *MTBF* Y *FIT* A PARTIR DE LOS DATOS DE CUALIFICACIÓN

Los procesos de calidad de semiconductores establecen parámetros específicos para determinar la calidad y el ciclo de vida de un circuito integrado. Los parámetros más comunes son:

- ✓ *FIT (Failure in time)*: Este parámetro determina el número de fallos cada 10^9 horas.
- ✓ *MTTF (Mean Time to Failure)* bajo condiciones experimentales): Es el tiempo estimado para detectar el primer fallo.

Cada parámetro *FIT* se puede calcular de manera independiente para cada test de cualificación a partir de sus factores de aceleración. A continuación, se resume como se calculan los parámetros *FIT* e *MTBF* de manera general. Este proceso puede variar en relación al parámetro E_a ya que este parámetro determina el criterio de fallo buscado.

En el caso de pruebas de cualificación como *HTOL*, *ELFR* [86], *LTOL* o *HTST* [86], las muestras están sometidas a dos factores de aceleración como son el factor de aceleración de voltaje y el factor de aceleración de temperatura.

En el caso de la prueba de cualificación *HTST*, [86] las muestras están sometidas a un factor de aceleración temperatura.

En el caso de las pruebas de cualificación *HAST* [114], *UHAST* [75], *AC* [76], o *THB* [49], las muestras están sometidas a factores de aceleración de humedad y temperatura.

Un factor de aceleración permite simular el ciclo de vida de un producto en un periodo corto de tiempo mediante el estrés de estos parámetros clave.

El factor de aceleración total de una prueba de cualificación sometida a diferentes parámetros de estrés, posee diferentes factores de aceleración. El factor de aceleración total se calcula mediante la multiplicación de ambos. A continuación, se muestra el factor de aceleración total en el caso de una prueba de cualificación *HTOL* [86]:

$$A_{TT} = A_T \cdot A_V \quad (8.5) [120]$$

Los factores de aceleración y tiempos durante los que ejecutan las pruebas de cualificación permiten estimar el número de componentes electrónicos o circuitos integrados que podría fallar a lo largo de su ciclo de vida. El parámetro que define la fiabilidad de un producto en el mercado se conoce como rango de fallos o *Failure rate* (T_{hour}). El rango de fallos es el número fallos que ocurren en un tiempo determinado.

$$T_{hour} = \frac{\text{Fallos}}{\text{Tiempo}} \quad (8.6) [120]$$

En un proceso de cualificación ambos parámetros son desconocidos. Se estiman a partir de ventanas de estrés cortas con factores de aceleración altos. Los factores de aceleración permiten estudiar la vida del circuito integrado o componente electrónico en una ventana de medición corta. En el caso de las pruebas de cualificación, los tiempos de ejecución de estas mediciones se realizan entre las 96 a las 1000 horas.

Para estimar estos parámetros con éxito, se utilizan distribuciones estadísticas. La distribución *chi-cuadrado* permite hacer esta estimación del número de muestras que fallarían a lo largo de la vida del circuito integrado conociendo los datos de cualificación y estableciendo un límite de confidencialidad (α). El grado de confidencialidad determina el área de la distribución *chi-cuadrado* que se considera para el estudio, tal como aparece a continuación.

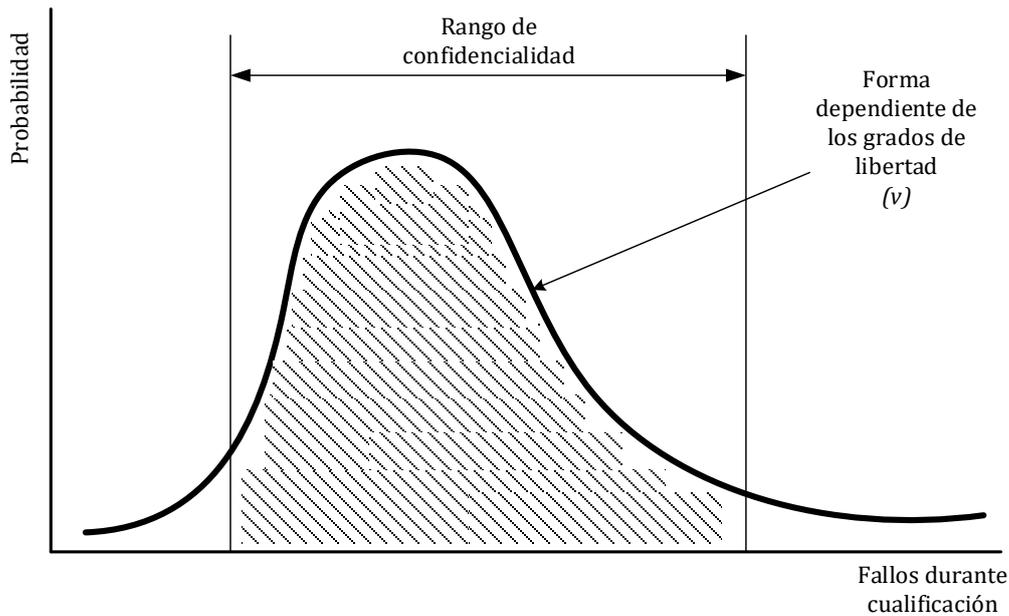


Figura 8.XVIII: Distribución Chi-cuadrado básica sin determinar los grados de libertad.

$$\text{Fallos} = \frac{X^2(a, v)}{2} \tag{8.7} [120]$$

El tiempo equivalente de vida útil de un circuito integrado durante el proceso de cualificación se calcula a partir de la multiplicación de las horas de estrés, número de muestras y factores de aceleración.

Se puede establecer otro factor de confiabilidad a diferentes grados de confiabilidad, pero el valor del 60% (*a*) es el más común en productos electrónicos. El uso de niveles de confiabilidad es importante, ya que los fallos detectados durante la fase de cualificación suelen pocos o ninguno.

$$T_{\text{hour}} = \frac{x^2(a, v)}{2 \cdot S_s \cdot T_T \cdot A_{TT}} \tag{8.8} [120]$$

Para el cálculo de los parámetros la distribución *Chi-cuadrado*, es de gran importancia considerar las muestras que han fallado durante el cualificación (*r*). Por esta razón es crucial tener informe de *Análisis de Fallos*, que clarifique si la razón del fallo está dentro de los mecanismos de fallo considerados por *JEDEC*. Este parámetro determina la figura de la distribución *chi-cuadrado*.

$$v = 2r + 2 \tag{8.9} [120]$$

El parámetro de *FIT* (*Failure in Time*) se determina a partir de la siguiente relación, considerando cero fallos en el proceso siendo T_{hour} el número de fallos estimados por hora:

$$FIT = T_{\text{hour}} 10^9 \quad (8.10) \text{ [120]}$$

El parámetro *MTTF* (*Mean Time to Failure*), se define como el tiempo hasta que ocurre el primer fallo bajo condiciones experimentales. El parámetro *MTTF* se calcula del siguiente modo a partir del parámetro *FIT*:

$$MTTF = \frac{1}{FIT} 10^9 \quad (8.11) \text{ [120]}$$

Una de las preguntas más importantes que surge en un proceso de cualificación es cómo el parámetro *FIT* o *MTTF* determina el ciclo de vida de un producto cualificado. Y la respuesta más rápida es que este se determina a partir de la distribución *bath-tub* (*Figura 8.XIX*) que describe el ciclo de vida de un producto de manera general.

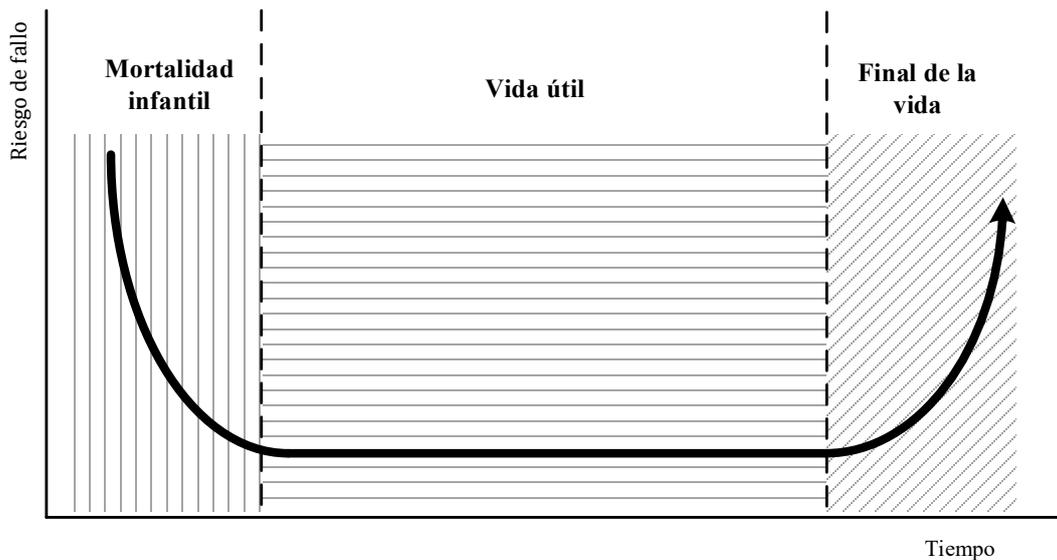


Figura 8.XIX: Descripción básica de la distribución *bath-tub* [120]

La distribución *bath-tub* está dividida tres secciones principales. Cada una de las pruebas de cualificación tiene la función de analizar y estimar de manera aproximada el comportamiento del circuito integrado.

- ✓ *Zona de mortalidad infantil:* Este zona, se caracteriza por representar los fallos en campo durante las primeras horas de operación de un semiconductor. El test específico que estudia este rango de vida es *EFLR* (*Early Life Failure Rate*) [86]. Para determinar las horas de estrés bajo estudio se utiliza la siguiente relación (8.12). Si se divide el total de horas del parámetro *MTTF* entre el número de muestras se obtiene la ventana de estudio durante el test de *ELFR* [86], que representaría.

$$T_{ELFR} = \frac{MTTF_{ELFR}}{Muestras_{ELFR}} \quad (8.12) [120]$$

- ✓ *Zona de ciclo de vida:* Esta zona, se caracteriza por representar la vida útil del semiconductor. Este periodo se estudia en los test de cualificación mediante la prueba de cualificación *HTOL* [86]. Si se divide el total de horas del parámetro *MTTF* entre el número de muestras se obtiene la ventana de estudio durante el la vida útil de circuito integrado.

$$T_{HTOL} = \frac{MTTF_{HTOL}}{Muestras_{HTOL}} \quad (8.13) [120]$$

- ✓ *Zona de final de vida:* Esta zona, caracteriza por representar el final del ciclo de vida del semiconductor. Esta zona no se estudia en los estándares de cualificación. Para poder alcanzar esta fase, se ha de extender el test *HTOL* [86] durante más de 1000 horas.

La estimación ciclo de vida del circuito integrado o componente electrónico expresado en años, depende principalmente de la temperatura de uso ΔT_{uso} a la que el componente electrónico funcionará a lo largo de su ciclo de vida y la temperatura de T_{stress} durante las pruebas de cualificación. Esta información ha de estar incluida en el informe de cualificación correspondiente.

Si suponemos que la temperatura uso T_{uso} , la cual está incluida en la hoja de datos del producto electrónico puede variar de los 25 a los 50 grados centígrados. La estimación ciclo de vida del circuito electrónico según el standard *JEDEC* para los parámetros de la *Tabla 8.IX* variará de los 116 años (a 25 °C) a los 14 años (a 50°C) para una temperatura fija de estrés T_{stress} durante *HTOL* [86] de 125°C con un nivel de confiabilidad del 60% y una energía de activación E_a de 0.7 eV para una tecnología *Bulk-CMOS*.

El ciclo de vida de un componente electrónico que ha sido sometido a un proceso de cualificación según el estándar *JEDEC* para el sector Industrial, no se puede estimar su ciclo de vida de manera fija. La estimación del ciclo de vida, dependerá de las condiciones medioambientales y eléctricas del producto final donde se instalará, los rangos de estrés seleccionados y el tipo de proceso nodo tecnológico.

El impacto de la temperatura en el ciclo de vida de un semiconductor, es una de las razones más importantes por las que se ha de mantener la temperatura de los productos electrónicos lo más cercana posible a 25 °C .

CONCLUSIONES GENERALES

Este proceso de cualificación de circuitos integrados y componentes electrónicos puede llegar a ser complejo, caro y con un alto riesgo de fallo. Mitigar estos potenciales fallos, hace necesario crear procesos claros de planificación, diseño, ejecución y control. Por esta razón, de manera resumida se puede concluir que:

- ✓ Una buena planificación, permite conocer de manera clara, dónde, cuándo, y cómo se ejecutarán cada una de las fases de diseño, fabricación y control de calidad.
- ✓ Un buen proceso de diseño, permite reducir el riesgo de fallo antes de las fases de fabricación y conocer así, como se comportaría el componente electrónico en cuestión antes de ser fabricado físicamente.
- ✓ Un buen proceso de ejecución, permite reducir el riesgo de fallo, tiempos de trabajo y mejorar la calidad del componente electrónico que se desea cualificar durante las fases de fabricación.
- ✓ Un buen proceso de control, permite mejorar y aprender de los errores haciendo el producto final más fiable y robusto dentro de su proceso de fabricación y control de calidad.

REFERENCIAS Y BIBLIOGRAFÍA

- [1] D. P. W. Jacobi, «Semiconductor amplifier». Patente DE833366C, 1949.
- [2] J. L. Buie, «Coupling transistor logic and other circuits». USA Patente US3283170A, 1961.
- [3] M.-H. C. J. J.-C. L. YANGYUAN Wang, Handbook of integrated circuits industry., ISBN 978-981-99-2835-4. pp. 657 – 693, pp. 1300, 1400., pp. ISBN 978-981-99-2835-4. pp. 657 – 693, pp. 1300, 1400..
- [4] WWERMER Zulehener, «Historical overview of silicon crystal pulling,» p. 7, 2000.
- [5] TATAU Nishinga, Handbook of the crystal growth., ISBN: 978-0-444-63303-3. pp. 117 . 200..
- [6] ASML, «ASML,» [En línea]. Available: <https://www.asml.com/en>. [Último acceso: 10 10 2024].
- [7] HATTORI Takeshi., Ultraclean Surface Processing of Silicon Wafers., ISBN: 978-3-462-08272-6. pp. 3 - 64..
- [8] PVEDUCATION, «PVEDUCATION,» [En línea]. Available: <https://www.pveducation.org/es/fotovoltaica/fabricaci%C3%B3n-de-c%C3%A9lulas-de-silicio/silicio-multicristalino>. [Último acceso: 01 09 2024].
- [9] T. K. a. J. Cooper, Fundamentals of Silicon Carbide Technology., ISBN 978-1-118-31352. pp. 10 - 60..
- [10] W. T. L. i. a. U.K, «Wafer Technology Ltd is a U.K,» [En línea]. Available: <http://www.wafertech.co.uk/growth.htm>.
- [11] MARTIN M. Peter, Handbook of Deposition Technologies for Films and Coatings (Third Edition)., ISBN-13: 978-0815520313. pp. 314-363..
- [12] U. Wafer, «University Wafer,» [En línea]. Available: <https://www.universitywafer.com/>. [Último acceso: 21 11 2024].
- [13] T. NISHINAGA, Handbook of Crystal Growth Fundamentals. (2015)., ISBN 978-0-444-56369-9. pp. 1668 - 1680., 2015.

- [14] S. Engineering, «Semiconductor Engineering,» [En línea]. Available: https://semiengineering.com/knowledge_centers/manufacturing/lithography/photomask/. [Último acceso: 21 11 2024].
- [15] B. W. EYNON Benjamin, Photomask Fabrication Technology., ISBN: 9780071588911. pp. 35-177..
- [16] Z. K. A. Spence. United States Patente US5928813A.
- [17] S. I. Association, «Semiconductor Industry Association,» [En línea]. Available: <https://www.semiconductors.org/>. [Último acceso: 21 11 2024].
- [18] T. Semiconductors, «Taiwan Semiconductors,» [En línea]. Available: <https://www.tsmc.com/>. [Último acceso: 10 11 2024].
- [19] NEAMEN Donald, .Semiconductor Physics and Devices 4th Edition., ISBN: 978-007-1089. . pp. 1 – 60, pp. 491 – 645..
- [20] W. H. E. M. H. NEIL David., CMOS VLSI Design., ISBN 10: 0-321-54774-8. pp. 2 – 200..
- [21] D. Hitek. [En línea]. Available: <https://dbhitek.com/kr/default.asp>. [Último acceso: 10 10 2024].
- [22] S. Semiconductors, «ST Semiconductors,» [En línea]. Available: <https://www.st.com/en/radio-frequency-transistors/stpower-rf-ldmos-transistors.html>. [Último acceso: 10 10 2024].
- [23] T. Semiconductors, «Taiwan Semiconductors,» [En línea]. Available: <https://www.tsmc.com/english/dedicatedFoundry/technology/specialty/bcd>. [Último acceso: 10 10 2024].
- [24] T. T. Semiiconductors, «TPSCo,» [En línea]. Available: https://towersemi.com/technology/cmos_image_sensor/. [Último acceso: 10 10 2024].
- [25] G. Foundires, «Global Foundires,» [En línea]. Available: <https://gf.com/technology-platforms/silicon-photonics/#>. [Último acceso: 10 10 2023].
- [26] STEFANOV Konstantin, CMOS Image Sensors., ISBN 978-0-7503-3233-0m. pp. 1 – 80..
- [27] XFAB, «XFAB,» [En línea]. Available: <https://www.xfab.com/>. [Último acceso: 10 10 2024].

- [28] M. A. TAKAYASU Sakurai, Fully-Depleted SOI CMOS Circuits and Technology for Ultralow-Power Applications., ISBN-10 0-387-29217-9. pp. 1 – 50..
- [29] A. CHANDRAKASAN, FinFETs and Other Multi-Gate Transistors., ISBN 978-0-387-71752-4. pp. 3 – 80..
- [30] Cadence, «Cadence,» [En línea]. Available: <https://resources.pcb.cadence.com/blog/2023-rf-mems-micro-electro-mechanical-systems-introduction>. [Último acceso: 10 10 2024].
- [31] P. O. KORVINK Jan, MEMS: A Practical Guide to Design, Analysis, and Applications. I, SBN : 0-8155-1497-2. pp. 1 – 48..
- [32] A. EVANS, Designing with field effect transistors., ISBN 0-07-057449-9. pp. 3 – 50..
- [33] Skhynix, «Skhynix,» [En línea]. Available: <https://news.skhynix.com/semiconductor-front-end-process-episode-6/>. [Último acceso: 21 11 2024].
- [34] W. World, «Wafer World,» [En línea]. Available: 12. <https://www.waferworld.com/>. [Último acceso: 21 11 2024].
- [35] I. Technologies, «Infineon,» [En línea]. Available: www.infineon.com. [Último acceso: 10 10 2024].
- [36] T. Instruments, «Texas Instruments,» [En línea]. Available: www.ti.com. [Último acceso: 10 10 2023].
- [37] Intel, «Intel,» [En línea]. Available: www.intel.com. [Último acceso: 10 10 2024].
- [38] A. OSRAM, «AMS OSRAM,» [En línea]. Available: <https://ams-osram.com/>. [Último acceso: 10 10 2024].
- [39] «Analog Devices,» Analog Devices, [En línea]. Available: <https://www.analog.com/en/index.html>. [Último acceso: 10 10 2024].
- [40] JEDEC, «Foundry process qualification guidelines. JEP001-1.,» JEDEC, 2018.
- [41] JEDEC, «Foundry Process Qualification Guidelines - Back end of life (Wafer Fabrication Manufacturing Sites), JEP001-1A,» JEDEC, 2018.
- [42] JEDEC, «N-Channel MOSFET hot carrier data analysis. JESD28-1.,» 2001.
- [43] JEDEC, «A procedure for measuring P-Channel MOSFET Negative Vias Temperature Instabilities. JESD90.,» 2004.

- [44] JEDEC, «Guideline for evaluating bias temperature instability of Silicon Carbide Metal-Oxide Semiconductor devices. JEP184,» JEDEC, 2021.
- [45] JEDEC, «Procedure for characterizing time-dependent dielectric breakdown of ultra-thin gate dielectrics. JESD92.,» 2003.
- [46] JEDEC, «Method for characterizing the electromigracion failure time distribution of interconnects under constant current and temperature stress. JESD202.,» 2006.
- [47] JEDEC, «Isothermal Electromigration test procedure. JESD61A.01.,» JEDEC, 2007.
- [48] JEDEC, «Procedure for Wafer-Level DC Characterization of Bias Temperature Instabilities ; JESD241,» JEDEC, 2021.
- [49] JEDEC, «Procedure for wafer level testing of thin dielectrics. JESD35-A.,» JEDEC, 2001.
- [50] JEDEC, «Guidelines for Reverse Recovery Time and Charge Measurement of SiC MOSFET. JEP201.,» JEDEC, 2024.
- [51] JEDEC, «Early Life Failure Rate Calculation Procedure for Electronic Components JESD74.,» JEDEC, 2007.
- [52] JEDEC, «Temperature Cycling, JESD22- A104.,» JEDEC, 2023.
- [53] JEDEC, «Accelerated Moisture Resistance, JESD22- A102E,» JEDEC, 2015.
- [54] JEDEC, «Electrostatic discharge and procedure HBM , JESD22- A114,» JEDEC, 2008.
- [55] JEDEC, «IC Latch up test, JESD78F.02,» JEDEC, 2023.
- [56] JEDEC, «Process Characterization Guideline. JEP132A.01.,» JEDEC, 2022.
- [57] IPC, «IPC. Test Methods Manual. IPC-TM-650.,» IPC.
- [58] S. Engineering, «Semiconductor Engineering,» [En línea]. Available: <https://semiengineering.com/whats-wat-testing-at-the-end-of-manufacturing/>. [Último acceso: 10 10 2024].
- [59] E. Engineering, «Equiptest,» [En línea]. Available: <https://www.equiptest.com.sg/products/test-contactors/wafer-probe-heads/>. [Último acceso: 20 11 2020].
- [60] C. S. I. Association, «Association, Chinese Semiconductor Industry,» [En línea]. Available: <https://www.semi.org/>. [Último acceso: 10 10 2024].

- [61] S. Engineering, «Semiconductor Engineering,» [En línea]. Available: https://semiengineering.com/knowledge_centers/manufacturing/fables-semiconductor-companies/. [Último acceso: 10 10 2024].
- [62] C. C. RODRIGUEZ, *Imagen de diseño propio.*, N/A, 2023.
- [63] C. G. MASI, «Vision System Design,» [En línea]. Available: <https://www.vision-systems.com/home/article/16736736/vision-helps-dice-wafers-into-chips>. [Último acceso: 21 11 2024].
- [64] E. S. I. A. (ESIA), «European Semiconductor Industry Association (ESIA),» [En línea]. Available: <https://www.eusemiconductors.eu/esia>. [Último acceso: 10 10 2024].
- [65] JEDEC, «JEDEC Potential Failure Mode and Effects Analysis (FMEA) JEP131.,» JEDEC, 2018.
- [66] H. R. CHEN Andrea, *Semiconductor packaging.*, ISBN: 978-1-4398-6205-6-90000. pp. 60 – 200..
- [67] M. Electronics, «Mouser Electronics,» [En línea]. Available: <https://eu.mouser.com/>.
- [68] W. Elektroniks, «<https://www.we-online.com/>,» [En línea]. Available: <https://www.we-online.com/>. [Último acceso: 10 10 2020].
- [69] Cadence, «Cadence,» [En línea]. Available: <https://resources.pcb.cadence.com/blog/2023-the-flip-chip-packaging-process>. [Último acceso: 10 10 2024].
- [70] S. Digest, «Semiconductor Digest,» [En línea]. Available: <https://sst.semiconductor-digest.com/2001/07/the-back-end-process-step-7-solder-bumping-step-by-step/>. [Último acceso: 10 10 2024].
- [71] TSE, «TSE,» [En línea]. Available: <https://tse21.com/eng/02/02.php>. [Último acceso: 10 10 2024].
- [72] A. Devices, «Analog Devices,» [En línea]. Available: <https://www.analog.com/en/resources/technical-articles/esd-protection-for-io-ports.html>. [Último acceso: 10 10 2'24].
- [73] JEDEC, «Highly Accelerated Temperature and Humidity Stress Test (HAST) - JESD22-A110,» JEDEC, 2021.
- [74] JEDEC, «Cycled Temperature-Humidity-Bias - JESD22-A101,» JEDEC, 2021.

- [75] JEDEC, «Accelerated Moisture Resistance-Unbiased HAST, JESD22 -A118,» JEDEC, 2021.
- [76] JEDEC, «Accelerated Moisture Resistance - JESD22-A102E,» JEDEC, 2015.
- [77] JEDEC, «Solid-State Reliability Assessment and Qualification Methodologies, JEP43D.,» JEDEC, 2019.
- [78] ISO, «Sistemas de gestion de calidad,» ISO, 2015.
- [79] IPC, «IPC,» IPC, 2018, Materials Declaration Management Standard , IPC-1752A.
- [80] JEDEC, JEDEC, 2023.
- [81] JEDEC, «Stress-Test-Driven Qualification of Integrated Circuits, JESD47.,» JEDEC, 2022.
- [82] JEDEC, «Moisture/Reflow Sensitivity Classification for Non-hermetic Solid State Surface-Mount Devices, J-STD-020.,» JEDEC, 2022.
- [83] JEDEC, «Preconditioning of Non-hermetic Surface Mount Devices Prior to Reliability Testing, JESD22- A113.,» JEDEC, 2020.
- [84] JEDEC, «Steady-State Temperature-Humidity - JESD22-A101,» JEDEC, 2021.
- [85] JEDEC, «Power and Temperature Cycling, JESD22- A105,» JEDEC, 2018.
- [86] JEDEC, «High Temperature Storage Life Test, JESD22- A103,» JEDEC, 2021.
- [87] JEDEC, «Electrical Parameters Assessment, JESD86.,» JEDEC, 2009.
- [88] JEDEC, «Electrically Erasable Programmable ROM (EEPROM) Program/Erase Endurance and Data Retention Stress Test, JESD22- A117,» JEDEC, 2018.
- [89] JEDEC, «Bond Pull Shear, JESD22- B116,» JESD22- B116, 2017.
- [90] JEDEC, «Wire bond Pull Test Methods, JESD22-B120,» JEDEC, 2024.
- [91] JEDEC, «Solderability, JESD22-B102,» JEDEC, 2003.
- [92] JEDEC, «Physical Dimensions, JESD22-B100,» JEDEC, 2003.
- [93] JEDEC, «Solder ball shear, JESD22-B105E,» JEDEC, 2014.
- [94] JEDEC, «Lead Integrity, JESD22-B105,» JEDEC, 2017.

- [95] JEDEC, «Tin Whisker Acceptance, JESD22-A121,» JEDEC, 2008.
- [96] JEDEC, «Guideline for Characterizing Solder Bump Electromigration under Constant Current and Temperature Stress, JEP154A,» 2024.
- [97] JEDEC, «Mechanical Shock, JS9703,» JEDEC, 2009.
- [98] JEDEC, «Vibration Variable Frequency, JESD22-B103B,» JEDEC, 2016.
- [99] MIL, «Constant Acceleration, MIL-STD-750-2,» MIL, 2006.
- [100] JEDEC, «Hermeticity, JESD22- A109,» JEDEC, 2011.
- [101] JEDEC, «External Visual, JESD22-B101D,» JEDEC, 2022.
- [102] MIL, «NASA, Test Methods and Procedures for Microelectronics, MIL-STD-883.,» NASA, 2018.
- [103] JEDEC, «Human Body Model ESD Test Method JS-001-2024.,» JEDEC, 2024.
- [104] JEDEC, «Field-Induced Charged-Device Model , JESD22- C101,» JEDEC, 2009.
- [105] JEDEC, «Test Method for Alpha Source, JESD89-2B,» JEDEC, 2021.
- [106] JEDEC, «Test Method for Beam Accelerated, JESD89-3,» JEDEC, 2021.
- [107] JEDEC, «Test Method for Real-Time Soft Error, JESD89-1B,» JEDEC, 2021.
- [108] AEC, «Guidance for Characteritaton of Integrated Circuits. AEC Q003,» AEC, 2013.
- [109] S. International, «Measurement of Radiated Emissions from Integrated Circuits, SAE J1752/3,» SAE, 2017.
- [110] JEDEC, JEDEC, 2018.
- [111] JEDEC, «Understanding Electrical Overstress, JEP174,» JEDEC, 2016.
- [112] ANSI, «Protection of Electrical and Electronic Parts, ANSI/ESD S20.20-2021,» ANSI, 2021.
- [113] JEDEC, «Adapter Test Board Reliability Test Guidelines, JEP176.,» JEDEC, 2018.
- [114] JEDEC, «Highly Accelerated and Humidity Life Test, JESD22- A110,» JEDEC, 2021.
- [115] H. Electronics, «Harwin Electronics,» [En línea]. Available: <https://www.harwin.com/hri-range/gecko>. [Último acceso: 10 2024].

- [116] JEDEC, «Temperature, Bias, and Operating Life JESD22-A108G.,» JEDEC, 2022.
- [117] AEC, «Failure Mechanism Based Stress Test Qualification for Integrated Circuits, AEC-Q100-REV-J.,» AEC, 2023.
- [118] JEDEC, «Stress-Test-Driven Qualification of and Failure Mechanisms Associated with Assembled Solid State Surface-Mount Components, JEP150.,» JEDEC, 2023.
- [119] AEC, «AEC - Q001 Rev-C (Guidelines for part average testing).,» AEC, 2003.
- [120] JEDEC, «Methods for Calculating Failure Rates in Units of FITs, JESD85.,» JEDEC, 2021.
- [121] JEDEC, «Failure Mechanisms and Models for Semiconductor Devices, JEP122.,» JEDEC, 2016.
- [122] JEDEC, «Device Quality Problem Analysis and Corrective Action Resolution Methodology,. JESD671D.,» JEDEC, 2018.
- [123] T. Electronic, «Reliability Handbook,» Toshiba Electronic, 2018.
- [124] JEDEC, «Standard Failure Analysis report, JESD38.,» JEDEC, 1995.
- [125] JEDEC, «Early Life Failure Rate Calculation, JESD74A.,» JEDEC, 2007.
- [126] H. L. a. J. X. HUILI Tang, Growth and Development of Sapphire Crystal for LED Applications, ISBN: NA. pp. 317.
- [127] J. D. T. F. J. GARANDET, «Vertical gradient freeze growth and characterization of high quality GaSb single crystals,» p. 67, 1989.
- [128] CECAROLLI Burno., Solar Silicon Process., ISBN 978-3-642-02044-5. pp. 84 - 124..
- [129] H. PETERSON, Handbook chemical vapor deposition., ISBN: 0-8155-1432-8. pp.
- [130] WILLIAMS Mara, Polysilicon Preparation; Handbook of semiconductor silicon technology;, ISBN 0-8155-1237-6. pp. 58 - 200..
- [131] D. A, Neamen Semiconductors Physics and Devices 4th Edition., ISBN:, 978-007-1989029. pp. 1 - 50.
- [132] N. LOVERGINE, «MOCVD of II–VI Compounds,» 2009.
- [133] HONSBURG Christiana, «Christiana Honsburg,» [En línea]. Available: <https://www.pveducation.org/es/fotovoltaica/fabricaci%C3%B3n-de-c%C3%A9lulas-de-silicio/silicio-multicristalino>.

- [134] HILLERINGMANN Ulrich., Silizium-Halbleitertechnologie: Grundlagen mikroelektronischer Integrationstechnik., ISBN: 978-3658423773. pp. 5 - 34..
- [135] S. Rizvi., Handbook of Photomask Manufacturing Technology, ISBN. NA. pp. 3-629..
- [136] S. E. Fred, LED Emitting Diodes., ISBN: 978-0-521-86538-8. pp. 1 – 87..
- [137] S. W., Jones Introduction Integrated Circuit Technology. Third Edition., ISBN: NA. pp. 1 – 20..
- [138] JEDEC, «Standard method for caluating the electromigration model parameters for current density and temperature. JESD63.,» 2023.
- [139] S. UL, «Test for Flammability of Plastic Materials for Parts in Devices and Appliances, UL94.,» ISBN 0-7629-0082-2, 2001.
- [140] ASTM, «Flammability of Plastic Using the Oxygen Index Method. IEC Publication 695, Fire Hazard Testing, ASTM D2863.,» IEC Publication, 2023.
- [141] JEDEC, «Guidelines for User Notification of Product/process Changes by Semiconductor Suppliers, JESD46d.,» JEDEC, 2011.
- [142] JEDEC, «Information Requirements for the Qualification of Silicon Devices, JESD69D.,» JEDEC, 2024.
- [143] JEDEC, «Application Specific Qualification using Knowledge Based Test Methodology, JESD94.,» JEDEC, 2015.
- [144] JEDEC, «Methods for Developing Acceleration Models for Electronic Component Failure Mechanisms, JESD91.,» JEDEC, 2022.
- [145] JEDEC, «Solid State Reliability Assessment Qualification Methodologies, JEP143.,» JEDEC, 2019.
- [146] JEDEC, «Environmental Acceptance Requirements for Tin Whisker Susceptibility of Tin and Tin Alloy Surface Finishes, JESD201.,» JEDEC, 2008.
- [147] JEDEC, «Test Method for Measuring Whisker Growth on Tin and Tin Alloy Surface Finishes, JESD22-A121A.,» JEDEC, 2005.
- [148] JIS, «General test procedure of failure rate for electronic components, JIS C 5003:1974,» JIS, 1974.
- [149] ANSI, «General test procedure of failure rate for electronic components, JIS C 5003:1974,» JIS, 2014.

- [150] IEC, «Protection of electronic devices from electrostatic phenomena - General requirements, IEC 61340-5-1.,» IEC, 2024.
- [151] JEDEC, «Selection of Burn in / Life Test conditions and critical parameters for QML, JEP163A.,» JEDEC, 2023.
- [152] JEDEC, «Application Specific Qualification Using Knowledge based test, JESD94B.,» JEDEC, 2015.
- [153] JEDEC, «Solid-State Reliability Assessment and Qualification Methodologies, JESP143D.,» JEDEC, 2019.
- [154] JEDEC, «Temperature Cycling, JESD22-A101,» JEDEC, 2021.
- [155] JEDEC, «Thermal Shock, JESD22- A106.,» JEDEC, 2023.
- [156] JEDEC, «Salt Atmosphere, JESD22- A107,» JEDEC, 2013.
- [157] JEDEC, «Temperature Bias and Operative Life, JESD22- A108,» JEDEC, 2022.
- [158] JEDEC, «Evaluation Procedure for Determining Capability to Bottom Side Board Attach by Full Body Solder Immersion of Small Surface Mount Solid State Devices, JESD22- A111,» JEDEC, 2018.
- [159] JEDEC, «Moisture/Reflow Sensitivity Classification for Non-hermetic Solid State Surface Mount Devices, JESD22- A112.,» JEDEC, 1995.
- [160] JEDEC, «Electrostatic Discharge (ESD) Sensitivity Testing, Machine Model (MM), JESD22- A115.,» JEDEC, 2010.
- [161] JEDEC, «Low Temperature Storage, JESD22-A119A,» JEDEC, 2015.
- [162] JEDEC, «Test Method for measurement of Moisture Diffusivity, JESD22 -A120.,» JEDEC, 2022.
- [163] JEDEC, «Test Method for Measuring Whisker Growth on Tin and Tin Alloy Surface Finishes, JESD22- A121,» JEDEC, 2008.
- [164] JEDEC, «Reliability Qualification of Power Amplifier Modules, JESD237,» JEDEC, 2024.
- [165] JEDEC, «Wire Bond Shear, JESD22 B116,» JEDEC, 2017.
- [166] 4. T. K. a. J. A. Cooper., Fundamentals of Silicon Carbide Technology., ISBN 978-1-118-31352. pp. 10 - 60..

-
- [167] T. K. a. James, Fundamentals of Silicon Carbide Technology., ISBN 978-1-118-31352. pp. 10 - 60..
- [168] A. A.R, BiCMOS Technology and Applications., ISBN: 978-1-4615-3218-7. pp. 1 – 70..
- [169] W. H. MOREIRA Jose, An Engineers guide to automated testing of high-speed interfaces., ISBN-13 978-1-60783-983-5. pp. 20 – 150..
- [170] JEDEC, « Test Method for Beam Accelerated, JESD89-3B,» JEDEC, 2021.
- [171] MIL, «Integrated circuit manufacturing,. MIL-PRF 38535.,» NASA, 2002.
- [172] P. C. G. S. GmbH, «PVA Crystal Growing Systems GmbH,» [En línea]. Available: <https://www.pvatepla-cgs.com/en/>. [Último acceso: 02 02 2024].

APÉNDICE A

LISTA DE SÍMBOLOS Y ABREVIATURAS

En este apéndice se describen todos los símbolos usados en el libro.

A_T	Factor de aceleración de temperatura
A_{TT}	Factor de aceleración total
A_V	Factor de aceleración de voltaje
S_s	Número total de muestras
T_{ELFR}	Tiempo de Early Failure Rate
T_T	Número de horas totales de la prueba de cualificación
$X^2(a, v)$	Chi-cuadrado donde a es el rango de confidencialidad,
ΔT_{stress}	Incremento de temperatura durante la prueba de estrés
ΔT_{uso}	Incremento de temperatura durante la prueba durante el uso
2.5D	2 Dimensiones y media
2D	2 Dimensiones
3D	3 Dimensiones
Ac	Factor de aceleración de temperatura de ciclos de temperatura
ADC	Convertidor Analógico a Digital
ANOVA	Análisis de la varianza
ANSI	American National Standards Institute
ASTM	American Society for Testing and Materials
ATE	Automatic Test Equipment
BDCMOS	Buried Collector Double-diffused Metal Oxide Semiconductor
BGA	Ball Grid Array
BICMOS	contracción de Bipolar-CMOS
Bio	Biológico
BJT	Transistor de Unión Bipolar
BPS	Bond Pull Strength
BS	Bond Shear
BST	Bump Shear Test
CDM	Charged Device Model
CHAR	Characterization
CMOS	Metal-oxide-semiconductor
COB	Chip on board
Co-EMIB	Combined Embedded Multi-die interconnect bridge
CoWoS	Chip on Wafer on Substrate with silicon interposer
Cpk/cp	Process Capability
CPU	Central processing Unit
CVD	Método de Deposición por Vapor
CZ	Método Czochralski
DAC	Convertido Digital a Analógico
DFMEA	Failure Mode and Effects Analysis
DIP	Dual in-line package
DUT	Device under test
Ea	Factor de activación energética eV

ED	Electrical Distribution
ELFR	Early Life Failure Rate
EMC	Compatibilidad electromagnética
EOS	Electrostatic Overstress
EPA	Electrical Parameter Assessment
ESD	Electro Static Discharge
eV	Electron Voltios
FA	Failure Analisis
FIT	Failure in Tlme
FOPLP	Fan Out Pannel level Packing
FOWLP	Fan Out Wafer level Packing
FR4	Flame Resistant n.4
FZ	Floating Zone
GaAs	Arseniuro de Galio
Ghz	Gigahertzio
HBM	Human Body Model
HCl	Ácido Cloridrico
HDL	Hadware Description Language
HTOL	High Temperature Operating Life
IGBT	Insulated-gate bipolar transistor
inFO	Integrated Fan out
InP	Fosfuro de Indio
IoT	Internet of Things
IPC	Instituto de Circuitos Impresos
ISO	International Organization for Standardization
JEDEC	Joint Electron Device Engineering Council
JIS	Japannese Industrial Standard
k	Constante de Bolzman
LI	Lead Integrity
LTDR	Nonvolatile Memory LowTemperature Retention and Read Disturb
LTOL	Low Temperature Operating Life
LU	Latch up
MEMS	Microelectromechanical systems
Método Cr	Metodo de Crecimiento
MHz	Megahercio
MIL	United States Military Standard
MOSFET	Metal-oxide semiconductor field-effect transistor
MTBF	Mean Time Between Failures
MTTF	Mean Time to Failure
MTTR	Mean Time to Repair
NASA	National Aeronautic Association
NBTI/PBTI	Negative-bias temperature instability
nm	nanómetros
NVCE	Nonvolatile Memory Cycling Endurance
P2ID	Short Fowler-Nordhein stress
PCHTDR	Nonvolatile Memory Postcycling High Temperature Data Retention
PCM	Process Control Monitoring
PD	Physical Dimensions

PFMEA	Process Failure Mode and Effects Analysis
PR	Foto-resistivo
PTC	Power Temperature Cycling
PVT	Metodo por transporte de vapor
QFN	Quad Flat No-leads
QFP	Quad Flat Package
RF	Radio frEQUENCY
RH	Factor de humedad relativa
RTL	Register transfer level
SBS	Solder Ball Shear
SD	Solderability
SEM	Scanning electron microscope
<i>SiN</i>	Nitruro de Silicio
SiO	Oxido de Silicio
SIP	Single Inline Package
SOI	Silicon on insulator
SoIC	Small-Outline Integrated Circuit
SOP	Small-Outline Package
SOT	Small-Outline Transistor
T ₁	Temperatura 1
T ₂	Temperatura 2
TC	Temperature Cycling
<i>TDDDB</i>	Time-dependent gate oxide breakdown
TEM	Microscopio electrónico de transmisión
THB	Temperature Humidity Bias
TSMC	Taiwan Semiconductors
TTL	Transistor – Transistor Logic
TVS	Transient-Voltage-Supression Diode
UCHTDR	Nonvolatile Memory Uncycled High Temperature Data Retention
UHAST	Unbias Hight Temperture Stress Test
UV	Ultravioleta
V.	Voltios
V ₁	Voltaje de en el punto 1
V ₂	Voltaje de en el punto 2
VGf	Vertical Gradient Freezing
VLSI	Very large-scale integration
WAT	Wafer Acceptance Testing
WBP	Wire Bond Pull
WLP	Wafer-Level Packaging
WSR	Tin Whisker Acceptance

APÉNDICE B

CONSTANTES DE ECUACIONES

En este apéndice se describen todas las constantes utilizadas en este libro.

8.62×10^{-5} eV/K	Constante de <i>Bolzman</i>
eV	Energía de activación o E_a .
K	Valor experimental de la constante de campo eléctrico. <i>nm/Voltio</i>
L	Espesor del dieléctrico que se está estudiando. <i>nm</i>
β	1/Volts; $\beta = K/L$

APÉNDICE C

MODELOS DE ANÁLISIS PARA LOS MECANISMOS DE FALLO REGISTRADOS POR JEDEC

Este apéndice resume los factores de aceleración considerados durante la *Fase de Cualificación 1* y la *Fase de Cualificación 2*. Todos estos mecanismos de fallo están incluidos en el procedimiento *JEDEC JEP122F: Failure Mechanisms and Models for Semiconductor Devices* [121]. Los mecanismos de fallo según el procedimiento *JEP122F* se clasifican en los siguientes grupos:

- *Front end line (FEoL)*: Es el grupo de mecanismos de fallo identificados en la *Fase de Fabricación 2* a nivel de proceso de fabricación y agrupados en el procedimiento *JEP122F*.
- *Back end line (FEoL)*: Es el grupo de mecanismos de fallo identificados en la *Fase de Fabricación 2* a nivel de productos electrónicos y agrupados en el procedimiento *JEP122F*.
- *Mecanismos de fallo del paquete*: Es el grupo de mecanismos de fallo identificados en la *Fase de Fabricación 3* a nivel de productos electrónicos y agrupados en el procedimiento *JEP122F*.

Front end line (FEoL): Time Dependent Dielectric BreakDown (TDDB)

Los modelos que definen este criterio de fallo se detallan en la siguiente tabla (*Tabla C.1*).

Tabla C.1: Modelos para *Front end line (FEoL): Time Dependent Dielectric BreakDown (TDDB)*.

Modelo	Referencia	Capítulo específico
Modelo E	<i>JEP122F, Capítulo 5.1 (JEDEC, 2016)</i> .	5.1.2.1
Modelo V		5.1.2.3
Modelo I/E		5.1.2.2
Modelo de la ley de potencia		5.1.2.4

Front end line (FEoL): Hot Carrier Injection (HCI)

Los modelos que definen este criterio de fallo se detallan en la siguiente tabla (*Tabla C.2*).

Tabla C.2: Modelos para *Front end line (FEoL): Hot Carrier Injection (HCI)*.

Modelo	Referencia	Capítulo específico
Modelo Canal N	<i>JEP122F, Capítulo 5.2 (JEDEC, 2016)</i> .	5.2.1
Modelo Canal P		5.2.2

Front end line (FEoL): Negative Bias Temperature Instability (NBTI)

Los modelos que definen este criterio de fallo se detallan en la siguiente tabla (*Tabla C.3*).

Tabla C.3: Modelos para *Front end line (FEoL): Negative Bias Temperature Instability (NBTI)*.

Modelo	Referencia	Capítulo específico
Modelo de carga	<i>JEP122F. Capítulo 5.3 (JEDEC, 2016).</i>	5.3

Front end line (FEoL): Surface inversion

Los modelos que definen este criterio de fallo se detallan en la siguiente tabla (*Tabla C.4*).

Tabla C.4: Modelos para *Front end line (FEoL): Surface inversion*.

Modelo	Referencia	Capítulo específico
Movimiento de iones	<i>JEP122F. Capítulo 5.4 (JEDEC, 2016).</i>	5.4

Front end line (FEoL): Floating-Gate Nonvolatile Memory Data Retention

Los modelos que definen este criterio de fallo se detallan en la siguiente tabla (*Tabla C.5*).

Tabla C.5: Modelos para *Front end line (FEoL): Floating-Gate Nonvolatile Memory Data Retention*.

Modelo	Referencia	Capítulo específico
<i>SILC-related dielectric leakage induced by program/erase cycling</i>	<i>JEP122F. Capítulo 5.5 (JEDEC, 2016).</i>	5.5.1
<i>Charge detrapping</i>		5.5.2

Front end line (FEoL): Floating-Gate Nonvolatile Memory Data Retention

Los modelos que definen este criterio de fallo se detallan en la siguiente tabla (*Tabla C.6*).

Tabla C.6: Modelos para *Front end line (FEoL): Floating-Gate Nonvolatile Memory Data Retention*.

Modelo	Referencia	Capítulo específico
<i>SILC-related dielectric leakage induced by program/erase cycling</i>	<i>JEP122F. Capítulo 5.5 (JEDEC, 2016).</i>	5.5.1
<i>Charge detrapping</i>		5.5.2

Front end line (FEoL): Localized Charge Trapping Nonvolatile Memory Data Retention

Los modelos que definen este criterio de fallo se detallan en la siguiente tabla (Tabla C.7).

Tabla C.7: Modelos para *Front end line (FEoL): Localized Charge Trapping Nonvolatile Memory Data Retention*.

Modelo	Referencia	Capítulo específico
<i>Acceleration of cycling delays</i>	<i>JEP122F. Capítulo 5.6 (JEDEC, 2016).</i>	5.6.3
<i>Data retention</i>		5.6.4

Back end line (BEoL): Time-Dependent Dielectric Breakdown (TDDB) ILD/Low-k/Mobile Cu ion

Los modelos que definen este criterio de fallo se detallan en la siguiente tabla (Tabla C.8).

Tabla C.8: Modelos para *Back end line (BEoL): Time-Dependent Dielectric Breakdown (TDDB) ILD/Low-k/Mobile Cu ion*.

Modelo	Referencia	Capítulo específico
<i>Low-k TDDB</i>	<i>JEP122F. Capítulo 5.7 (JEDEC, 2016).</i>	<i>JEP122F. Capítulo 5.7.1</i>
<i>TDDB numerical example using E model</i>		<i>JEP122F. Capítulo 5.7.2</i>
<i>Mobile Cu ion in Low-k materials</i>		<i>JEP122F. Capítulo 5.7.3</i>
<i>Mobile Cu ion numerical example</i>		<i>JEP122F. Capítulo 5.7.4</i>

Back end line (BEoL): Aluminum Electromigration (Al EM)

Los modelos que definen este criterio de fallo se detallan en la siguiente tabla (Tabla C.9).

Tabla C.9: Modelos para *Back end line (BEoL): Aluminum Electromigration (Al EM)*.

Modelo	Referencia	Capítulo específico
<i>Electromigration in long metal lines</i>	<i>JEP122F. Capítulo 5.8 (JEDEC, 2016).</i>	<i>JEP122F. Capítulo 5.8.1</i>

Back end line (BEoL): Copper Electromigration (Cu EM)

Los modelos que definen este criterio de fallo se detallan en la siguiente tabla (Tabla C.10).

Tabla C.10: Modelos para *Back end line (BEoL): Copper Electromigration (Cu EM)*.

Modelo	Referencia	Capítulo específico
<i>Black's Law</i>	<i>JEP122F. Capítulo 5.9 (JEDEC, 2016).</i>	<i>JEP122F. Capítulo 5.9.1</i>

Back end line (BEoL): Aluminum and Copper Corrosion

Los modelos que definen este criterio de fallo se detallan en la siguiente tabla (*Tabla C.11*).

Tabla C.11: Modelos para *Back end line (BEoL): Aluminum and Copper Corrosion*.

	Referencia	Capítulo específico
<i>Reciprocal exponential humidity model</i>	<i>JEP122F. Capítulo 5.10 (JEDEC, 2016).</i>	<i>JEP122F. Capítulo 5.10.1</i>
<i>Exponential humidity model</i>	<i>JEP122F. Capítulo 5.10 (JEDEC, 2016).</i>	<i>JEP122F. Capítulo 5.10.1</i>

Back end line (BEoL): Aluminum Stress Migration

Los modelos que definen este criterio de fallo se detallan en la siguiente tabla (*Tabla C.12*).

Tabla C.12: Modelos para *Back end line (BEoL): Aluminum Stress Migration*.

Modelo	Referencia	Capítulo específico
<i>Mechanical stress model</i>	<i>JEP122F. Capítulo 5.11 (JEDEC, 2016).</i>	<i>JEP122F. Capítulo 5.11.1</i>
<i>Thermomechanical stress model</i>	<i>JEP122F. Capítulo 5.11</i>	<i>JEP122F. Capítulo 5.112</i>

Back end line (BEoL): Copper Stress Migration

Los modelos que definen este criterio de fallo se detallan en la siguiente tabla (*Tabla C.13*).

Tabla C.13: Modelos para *Back end line (BEoL): Copper Stress Migration*.

Modelo	Referencia	Capítulo específico
<i>Thermomechanical stress model</i>	<i>JEP122F. Capítulo 5.12 (JEDEC, 2016).</i>	<i>JEP122F. Capítulo 5.12.1</i>
<i>Thermomechanical stress model</i>	<i>JEP122F. Capítulo 5.11</i>	<i>JEP122F. Capítulo 5.112</i>

Mecanismos de fallo del paquete: *Fatigue failure due to temperature cycling and thermal shock*

Los modelos que definen este criterio de fallo se detallan en la siguiente tabla (*Tabla C.14*).

Tabla C.14: Modelos para Mecanismos de fallo del paquete: *Fatigue failure due to temperature cycling and thermal shock*.

Modelo	Referencia	Capítulo específico
<i>Coffin-Manson model</i>	<i>JEP122F. Capítulo 5.13 (JEDEC, 2016).</i>	<i>JEP122F. Capítulo 5.13.2</i>
<i>Thermomechanical stress model</i>	<i>JEP122F. Capítulo 5.11 (JEDEC, 2016).</i>	<i>JEP122F. Capítulo 5.112</i>

Mecanismos de fallo del paquete: *Interfacial failure due to temperature cycling and thermal shock*

Los modelos que definen este criterio de fallo se detallan en la siguiente tabla (*Tabla C.15*).

Tabla C.15: Modelos para Mecanismos de fallo del paquete: *Interfacial failure due to temperature cycling and thermal shock*.

Modelo	Referencia	Capítulo específico
<i>Paris Law model</i>	<i>JEP122F. Capítulo 5.14</i>	<i>JEP122F. Capítulo 5.14.2</i>
<i>Thermomechanical stress model</i>	<i>JEP122F. Capítulo 5.11 (JEDEC, 2016).</i>	<i>JEP122F. Capítulo 5.112</i>

Mecanismos de fallo del paquete: *Interfacial failure due to temperature cycling and thermal shock*

Los modelos que definen este criterio de fallo se detallan en la siguiente tabla (*Tabla C.16*).

Tabla C.16: Modelos para Mecanismos de fallo del paquete: *Interfacial failure due to temperature cycling and thermal shock*.

Modelo	Referencia	Capítulo específico
<i>Arrhenius models</i>	<i>JEP122F. Capítulo 5.15 (JEDEC, 2016).</i>	<i>JEP122F. Capítulo 5.15.2</i>

Mecanismos de fallo del paquete: *Tin Whiskers*

Los modelos que definen este criterio de fallo se detallan en la siguiente tabla (*Tabla C.17*).

Tabla C.17: Modelos para Mecanismos de fallo del paquete: *Tin Whiskers*.

Modelo	Referencia	Capítulo específico
<i>Arrhenius models</i>	<i>JEP122F. Capítulo 5.16 (JEDEC, 2016).</i>	<i>JEP122F. Capítulo 5.16.2</i>

Mecanismos de fallo del paquete: *Ionic Mobility Kinetics (PCB) - Component Cleanliness*

Los modelos que definen este criterio de fallo se detallan en la siguiente tabla (*Tabla C.18*).

Tabla C.18: Modelos para Mecanismos de fallo del paquete: *Ionic Mobility Kinetics (PCB) - Component Cleanliness*.

Modelo	Referencia	Capítulo específico
<i>Ionic Mobility Kinetics (PCB) - Component Cleanliness</i>	<i>JEP122F. Capítulo 5.17 (JEDEC, 2016).</i>	<i>JEP122F. Capítulo 5.17.2</i>

APÉNDICE D

DISTRIBUCIONES MÁS USADAS EN EL PROCESO DE CUALIFICACIÓN

El uso de distribuciones estadísticas durante un estudio de cualificación, permite predecir el comportamiento de determinados mecanismos de fallo y predecir su rango de fallos con el paso de tiempo. Las distribuciones más comunes son: *La distribución Weibull, La distribución lognormal, y la distribución exponencial* [125].

DISTRIBUCIÓN DE WEIBULL

La distribución de *Weibull* se usa comúnmente en el estudio y descripción de mecanismos de fallo en circuitos integrados. Dentro del área de semiconductores la distribución de *Weibull* es especialmente interesante ya que proporciona un crecimiento exponencial ante un rango de fallos constante.

La distribución *Weibull*, posee varias formas dependiendo del parámetro llamado β . Dependiendo del parámetro que define su forma, la distribución de *Weibull* puede tener una forma más cercana a la distribución normal o variar radicalmente. Esta distribución puede describirse de dos modos, mediante la función de distribución de probabilidad o la función de densidad.

La distribución de probabilidad se describe del siguiente modo:

$$f(t, t_{63}, \beta) = (\beta / t_{63}) * (t / t_{63})^{\beta-1} * \exp(-(t / t_{63})^{\beta})$$

La función densidad se describe del siguiente modo:

$$F(t, t_{63}, \beta) = 1 - \exp(-(t / t_{63})^{\beta})$$

t	Tiempo bajo estrés
t_{63}	Tiempo hasta 63.2% de fallos acumulados
β	Parámetro de la forma

La distribución *Weibull* necesita dos, de los tres parámetros para poder ser construida. Como nota el parámetro β permite identificar si los fallos incrementan, disminuyen o se mantienen constantes

DISTRIBUCIÓN DE LOGNORMAL

La distribución *Lognormal*, al igual que la distribución *Weibull*, permite estudiar la fiabilidad de un circuito integrado ante diferentes mecanismos de fallo.

La distribución de probabilidad se describe del siguiente modo:

$$f(t, t_{50}, \sigma) = (1 / \sigma t) * (1 / \sqrt{(2\pi)}) * \exp\{-0.5 * (\ln((t / t_{50}) / \sigma))^2\}$$

La función densidad se describe del siguiente modo:

$$F(t, t_{50}, \sigma) = \Phi(\ln(t / t_{50}) / \sigma)$$

t	Tiempo bajo estrés
t ₅₀	Tiempo hasta 50% de fallos acumulados
σ	Parámetro de la forma

DISTRIBUCIÓN EXPONENCIAL

La distribución *Exponencial*, al igual que la distribución *Weibull*, permite estudiar la fiabilidad de un circuito integrado ante diferentes mecanismos de fallo. Esta distribución es más fácil de entender y muy útil para estudios en los que se trabaja con número de muestras muy grandes y bajo número de fallos

La distribución de probabilidad se describe del siguiente modo:

$$f(t) = (1 / MTTF) * \exp(-t / MTTF)$$

La función densidad se describe del siguiente modo:

$$F(t) = 1 - \exp(-t / MTTF)$$

t	Tiempo bajo estrés
MTTF	Mean time to failure

DISTRIBUCIÓN CHI-CUADRADO

La distribución *Chi-Cuadrado*, está ampliamente usada en la estimación del ciclo de vida y comportamiento de un circuito integrado a partir de los resultados obtenidos durante el proceso de cualificación

La distribución *chi-cuadrado* se detalla continuación:

$$\lambda = \chi^2_{(2n + 2, 1 - \alpha)} * 10^9 / (2 * ss * t * AF)$$

λ	Es el rango de fallos en FITs
$\chi^2_{(2n + 2, 1 - \alpha)} / 2$	Es el valor máximo de confianza para un grupo de fallos detectados y determinados por n

AF

Factor de aceleración por voltaje por voltaje corriente, humedad, temperatura o ciclos.

APÉNDICE E

GRUPO DE PRUEBAS DE CUALIFICACIÓN RECOMENDADAS PARA PRODUCTOS YA CUALIFICADOS CON CAMBIOS COMUNES

Tabla E.1: Grupo de test recomendados para cambios en el proceso I – *JESD47 (Stress-Test-Driven Qualification of Integrated Circuits)* [81].

Cambio en el proceso	E L F R	H T O L	L T O L	H T S T	N V C E	L U D	E D H B M	E S D C D M	E S D C D M	H A S T	T C	U H A S T	B P S	B S	S D	S B S	M S	V V F	C A	G F L	L I	L T	E M	H C I	N B T I	T D D B	
Cambio en el circuito activo		C	C																					R	R		
Cambio grande en el circuito		R	C			C	C	C																			
Cambio en la demisión del <i>chip</i> del 4 al 10%	R	R	C	C		R	R	R	R	R	C													C	R	R	
Cambio litográfico		C	C																						C	C	
Cambio dopado		C	C				R			C	R	C												R			
Cambio en el poli-silicio	C				R						R														R	R	C
Cambio en la metalización	C	C		R																				R			
Cambio en el óxido de puerta	C	R	C			R		C																	R	R	R
Cambio en el dieléctrico entre capas <i>low-k</i>	C	C			C						C													R		C	
Cambio en el dieléctrico <i>low-k</i>	C	R		R							R	R												R		C	
Cambio en la pasivación	C	C		C							C	C	R														
Cambio en los contactos	C	C		R	C																			R			
Cambio en la vía	C	C		R																				R			
Cambio del diámetro de la oblea	R		C	C	R			C	C															R	R	R	R

Tabla E 3: Grupo de test recomendados para cambios en el proceso I – *JESD47* [81].

Cambio en el proceso	E L F R	H T O L	L T O L	H T S T	N V C E	L U	E D	E S D H B M	E S D C D M	H A S T	T C	U H A S T	B P S	B S	S D	S B S	M S	V V F	C A	G F L	L I	L T	E M	H C I	N B T I	T D D B	
Reducción de <i>Burn-in</i>	C																										
Cambio a tecnología <i>flip chip</i>				C							R	R															
Cambio el proceso del proceso <i>wafer bump</i> materiales o proceso				C							R	R															
Proceso <i>unterfill wafer bump</i>				R							C	R															
Materiales de relleno del proceso <i>flip chip</i>											R	R															
Espesor del <i>chip</i>		C				C					R	R															

Los test se dividen entre pruebas recomendadas (*R*) u consideradas (*C*).

Estos tests, son recomendaciones por parte de la organización *JEDEC*: La aplicación de estos u otros test debe estudiarse de acuerdo con las características del producto en cuestión y el objetivo buscado durante el proceso de cualificación. Esta tabla, se ha basado en las recomendaciones del procedimiento *JEDEC JESD47* [81] *Stress-Test-Driven Qualification of Integrated Circuits*.

PROCEDIMIENTO GENERAL PARA ESTABLECER EL NÚMERO DE MUESTRAS

El estándar *JEDEC*, establece dentro del procedimiento *JESD47* [81] el número de muestras mínimas requeridas. El número de muestras puede variar. A continuación se detalla el modo de selección de muestras establecidos por el estándar *JEDEC* el cual utiliza como referencial el procedimiento *MIL-PRF-38535* (*Integrated circuits and microcircuits*).

El parámetro *LTPD* o *Lot Tolerance Percent Defective* define el número de muestras fallidas en una población de 100 muestras.

Tabla E.4: Selección del número de muestras para un nivel de confidencialidad del 90% [81].

LTPD			10	7	5	3	2	1.5	1		
% máximo de defectos por lote	20%	15%	10%	7%	5%	3%	2%	1.5%	1%	0.7%	0.5%
Número total de fallos durante las pruebas (<i>r</i>)	Número de muestras mínimas										
0	11	15	22	32	45	76	116	153	230	328	461
1	18	25	38	55	77	129	195	258	389	555	778
2	25	34	52	75	105	176	266	354	532	759	1056
3	32	43	65	94	132	221	333	444	668	953	1337
4	38	52	78	113	158	265	398	531	800	1140	1599
5	45	60	91	131	184	308	462	617	928	1323	1855

Tabla E.5: Selección del número de muestras para un nivel de confidencialidad del 90% [81].

LTPD			10	7	5	3	2	1.5	1		
% máximo de defectos por lote	20%	15%	10%	7%	5%	3%	2%	1.5%	1%	0.7%	0.5%
Número total de fallos durante las pruebas (<i>r</i>)	Número de muestras mínimas										
6			107	152	212	352	528	703	1054		
7			119	170	237	394	590	786	1179		
8			132	188	262	435	652	868	1301		
9			144	205	287	476	713	945	1423		
10			157	223	311	516	773	1030	1543		
11			169	240	335	556	833	1110	1663		
12			181	258	359	596	893	1189	1782		

La *Tabla E.5* se puede construir usando la siguiente ecuación. Esta relación está documentada dentro del estándar militar *MIL-PRF-38535*.

$$N \geq 0.5 (X^2 (2r + 2, 0.1)) (1/LTPD - 0.5) + r$$

X^2

r

LTPD

Distribución *Chi-cuadrado*

Número máximo de muestras fallidas

% máximo de defectos por lote

La *Tabla E.5* detalla el número máximo de fallos por cada número de muestras para un rango de confiabilidad del 90%. Este método, se puede aplicar en el proceso de determinar el número de muestras para cada prueba de cualificación.

PROCEDIMIENTO GENERAL PARA ESTABLECER EL NÚMERO DE MUESTRAS PARA LA PRUEBA DE CUALIFICACIÓN ELFR

El estándar *JEDEC*, establece dentro del procedimiento *JESD47* [81] (*Stress-Test-Driven Qualification of Integrated Circuits*) el número de muestras mínimas requeridas para cada una de las pruebas de cualificación. El test de cualificación *ELFR* al realizarse las pruebas en tiempos muy cortos, requiere establecer un número de muestras muy grandes.

La siguiente tabla, se ha diseñado para un rango de confiabilidad del 60% y puede construirse a partir de la ecuación 8.8 del capítulo 8.

Tabla E 6: Selección del número de muestras para la prueba *ELFR* [81].

		Número total de muestras para usar en ELFR						
		S_s						
% máximo de defectos por lote	$\frac{X^2(a, v)}{2}$	4000	2000	1000	500	250	100	
Número de fallos por millón	$S_s - \left(\frac{X^2(a, v)}{2} \cdot S_s \right)$							
0	0.92	229	458	916	1833	3665	9163	
1	2.02	505	1011	2022	4045	8089	20223	
2	3.11	778	1553	3105	6211	12422	31054	
3	4.18	1004	2088	4175	8351	16701	41753	
4	5.24	1310	2618	5237	10473	20946	52366	
5	6.29	1573	3146	6292	12584	25168	62919	
6	7.34	1835	3671	7343	14685	29371	73426	
7	8.39	2098	4195	8390	16780	33559	83898	
8	9.43	2358	4717	9434	18868	37736	94340	
9	10.48	2620	5238	10476	20951	41093	104757	
10	11.52	2800	5758	11515	23031	46061	115153	

APÉNDICE F

A continuación, se muestra la tabla periódica con los elementos usados en la industria de semiconductores marcados en azul.

Tabla F 1: Tabla periódica con los elementos usados en semiconductores.

Período	Metales Ligeros		No Metales							
	Alcalinos		Boroideos	Carbonoideos	Nitrogenoideos	Anfígenos	Halógenos	Gases		
	I-A	Alcalinos							Nobles	
		s							VIII-A	
1	1	Térreos							2	
	H	II-A							He	
2	3	4							10	
	Li	Be			B	C	N	O	F	Ne
3	11	12			13	14	15	16	17	18
	Na	Mg	I-B	II-B	Al	Si	P	S	Cl	Ar
4	19	20	29	30	31	32	33	34	35	36
	K	Ca	Cu	Zn	Ga	Ge	As	Se	Br	Kr
5	37	38	47	48	49	50	51	52	53	54
	Rb	Sr	Ag	Cd	In	Sn	Sb	Te	I	Xe
6	55	56	79	80	81	82	83	84	85	86
	Cs	Ba	Au	Hg	Tl	Pb	Bi	Po	At	Rn
7	87	88	111	112	113	114	115	116	117	118
	Fr	Ra	Uu u	Cn (Uub)	Nh (Uut)	Fl (Uuq)	Mc (Uup)	Lv (Uuh)	Ts (Uus)	Og (Uuo)

ISBN 979-13-87585-08-2



9 791387 585082



**UNIVERSIDAD
DE BURGOS**

**Servicio de Publicaciones e
Imagen Institucional**